

Київський національний університет імені Тараса Шевченка

Інститут високих технологій

Завідувач кафедри нанофізики конденсованих середовищ

проф. Валерій Антонович Скришевський

Протокол № _____ засідання кафедри

від “ _____ ” _____ 2021 р.

**«Розробка апаратної платформи швидкісного
Time-To-Digital перетворювача для DLTS
спектрометра»**

Випускна кваліфікаційна робота магістра
напряму підготовки

105 «Прикладна фізика та наноматеріали»

Олексюка Петра Павловича

Науковий керівник:

к.ф.-м.н., доцент кафедри нанофізики
конденсованих середовищ

Опилат Віталій Якович

Оцінка захисту роботи

КИЇВ 2021

Реферат.

Розроблена апаратна платформа швидкісного Time-To-Digital перетворювача для DLTS спектрометра. Проект виконано на програмованій логічній інтегральній схемі з архітектурою FPGA – Xilinx Spartan-6. Оцінено ресурсоємність проекту TDC і вибрано мікросхему з сімейства Xilinx Zynq-7000 для реалізації Time-To-Digital перетворювача та інших апаратно-програмних блоків DLTS спектрометра.

Abstract.

The hardware platform of the high-speed Time-To-Digital converter for the DLTS spectrometer is developed. The project is made on a programmable logic integrated circuit with FPGA architecture – Xilinx Spartan-6. The resource consumption of the TDC project was evaluated and a chip from the Xilinx Zynq-7000 family was selected for the implementation of the Time-To-Digital converter and other hardware and software units of the DLTS spectrometer.

ЗМІСТ

1. Вступ.	5-8 ст.
1.1. Time-To-Digital converter – як місток між аналоговим і цифровим світом.	5-6 ст.
1.2. Особливості використання Часо-Цифрового перетворювача для вимірювання швидкоплинних релаксаційних процесів.	7 ст.
1.3. Постановка задачі.	8 ст.
2. Проектування архітектури швидкісного Часо-Цифрового-перетворювача.	9-21 ст.
2.1. Аналіз основних архітектур Часо-Цифрових перетворювачів.	9-21 ст.
2.1.1. Принцип роботи.	9-10 ст.
2.1.2. Види ліній затримок.	10-21 ст.
2.1.2.1. TDC на основі однієї лінії затримки.	10-12 ст.
2.1.2.2. TDC на основі масиву ліній затримки.	12-13 ст.
2.1.2.3. TDC на основі лінії затримки з відвітвленнями.	13 ст.
2.1.2.4. TDC на основі лінії затримки Верньє.	14-15 ст.
2.1.2.5. TDC на основі вентильного кільцевого осцилятора.	15 ст.
2.1.2.6. TDC на основі стискаючої імпульс лінії затримки.	16-17 ст.
2.1.2.7. TDC на основі лінії затримки з кільцевим осцилятором Верньє.	17-18 ст.
2.1.2.8. Метод 4х-передискретизації.	19 ст.
2.1.2.9. Лінія затримки з відвітвленнями з використанням мультиплексора.	19-21 ст.
3. Реалізація часо-цифрового перетворювача.	22-44 ст.
3.1. Перелік кількісних параметрів і технологічних вимог до проекту.	22 ст.
3.1.1. Вимоги до TDC як апаратної складової методики DLTS.	22 ст.

3.1.2. Вибір базової архітектури часо-цифрового перетворювача з врахуванням вимог методики DLTS і апаратної платформи для реалізації проекту.	22 ст.
3.2. Розробка часо-цифрового перетворювача з алгоритмом Верньє.	23-26 ст.
3.2.1. Розробка модульної структури об'єкту.	24-26 ст.
3.3. Висновки стосовно Верньє TDC.	26-27 ст.
3.4. Розробка швидкодіючого часо-цифрового перетворювача.	28-44 ст.
3.4.1. Принципи функціонування часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.	28-29 ст.
3.4.2. Архітектура часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.	29-32 ст.
3.4.3. Вибір оптимальної платформи для реалізації Часо-Цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.	32-34 ст.
3.4.4. Розробка FPGA-підсистеми швидкодіючого часо-цифрового перетворювача.	35-41 ст.
3.4.5. Архітектура та реалізація швидкісного багаторозрядного двійкового лічильника.	42-44 ст.
4. Вибір апаратної платформи для реалізації цифрової частини електронної схеми DLTS спектрометра.	45-46 ст.
5. Результати та висновки.	47-48 ст.
6. Література.	49-51 ст.

1. Вступ.

1.1. Time-To-Digital converter– як місток між аналоговим і цифровим світом.

Time-to-digital converters (TDCs) є невід’ємними компонентами значного числа наукових застосувань, таких як позитронно-емісійна томографія (positron emission tomography (PET)) [1,2], time-of-flight (ToF) image sensors і light detection and ranging (LiDAR). Цифрові перетворювачі часу використовуються у фізиці високих енергій та частинок для вимірювання часу польоту, в електроніці (цифрові фазові автопідлаштувачі частоти, перетворювачі даних), в галузях вимірювання та приладобудування. І це лише найвідоміші застосування у медичній, побутовій, інженерній і власне науковій сферах. Про застосування у військовій та аеро-космічній галузях інформація зі зрозумілих причин обмежена, але це і радарні системи, і системи наведення керованих і автономних (крилатих) ракет, безпілотні системи різноманітного призначення.

Здатність забезпечувати прецизійні вимірювання у широкому діапазоні вимірюваних часових інтервалів і значний попит на подібні пристрої у науково-технічній галузі стимулювали появу великої кількості реалізацій Часо-Цифрових перетворювачів (ЧЦП) з унікальними характеристиками. У свою чергу, зниження похибки до субпікосекундних значень і розширення діапазону вимірювань за 9 порядків ціни найменшого значимого біта суттєво розширило перелік областей застосування ЧЦП.

Розширення спектру застосувань стимулює розробку нових типів Часо-Цифрових перетворювачів, здатних максимально задовольнити особливі потреби кожного з існуючих і потенційно перспективних застосувань. Бурхливий розвиток технологічної бази, зокрема програмованих логічних інтегральних схем (ПЛІС), обумовив якісний стрибок і зміщення акцентів у використанні містків між аналоговим і цифровим світами. Ще кілька десятиліть тому – в епоху домінування Аналого-Цифрових перетворювачів вимірювання часових інтервалів проводилось опосередковано:

Час -> Напруга -> Числовий код

Розвиток Часо-Цифрових перетворювачів зробив їх домінуючим містком між аналоговим і цифровим світами настільки, що вже для визначення напруги часто користуються опосередкованою схемою:

Напруга -> Час -> Числовий код

Сьогодні багато дослідників реалізують ЧЦП за платформи ПЛІС з архітектурою Field-Programmable Gate Arrays (FPGAs), бо такий шлях є досить гнучким, низькоресурсо- і часозатратним. У нашій роботі реалізований на такій платформі ЧЦП буде використовуватись для прицевійного вимірювання тривалості швидкоплинних зарядно-розрядних процесів.

Ключові слова: апаратна платформа швидкісного Time-To-Digital перетворювача, DLTS спектрометр.

1.2. Особливості використання Часо-Цифрового перетворювача для вимірювання швидкоплинних релаксаційних процесів.

Одною з ключових складових створюваного в Інституті високих технологій КНУ DLTS-спектрометра [3-5] є Time-To-Digital converter (TDC), оскільки точки на релаксаційній кривій одержуються шляхом вимірювання часів зарядно-розрядних процесів.

Часо-Цифрові перетворювачі виготовляються у вигляді спеціалізованих мікросхем. Одна з таких – THS788 від Texas Instruments була використана як основний вимірювач у розроблюваному DLTS-спектрометрі. Проте мікросхема виявилась невдалою (а нам потрапив взагалі бракований екземпляр) і як наслідок – знята з виробництва. Тому ми вибрали інший шлях реалізації ЧЦП – на базі програмованої інтегральної схеми (ПЛІС) Xilinx Spartan-6 [6, 7], яка також присутня на одній з розроблених нами електронних плат.

Вибір мікросхеми не остаточний, а реалізований у роботі проект дозволить оцінити необхідний об'єм апаратних ресурсів для створюваного ЧЦП, що з врахуванням ресурсів, вже задіяних під інші потреби методики, дозволить вибрати платформу для якісної реалізації її електронної підсистеми.

Наш вибір обумовлений ще й тим, що цифровий спосіб реалізації часо-цифрових перетворювачів на основі ПЛІС з архітектурою Field-Programmable Gate Array (FPGA) набув зараз особливої популярності, про що свідчить експоненціальний ріст числа публікацій з новими варіантами розробок [8].

1.3. Постановка задачі.

Мета даної роботи полягає у реалізації кількох завдань:

- 1) *На основі аналізу літературних джерел і власних досліджень запропонувати оптимальний варіант реалізації часо-цифрового перетворювача.*
- 2) *Розробити загальну структуру проекту з врахуванням специфіки застосування розробленого пристрою і ряду обмежуючих факторів, продиктованих наявними апаратними ресурсами та особливостями алгоритму вимірювань.*
- 3) *Вибрати оптимальну платформу для реалізації апаратної (ПЛІС з архітектурою FPGA) і програмної (мікроконтролер) складових ЧЦП.*
- 4) *Вибрати оптимальну методику реалізації, розробити і протестувати критичні по швидкодії електронні блоки на базі ПЛІС з архітектурою FPGA.*

Виконання перелічених завдань проекту вимагало формування ряду умінь і навичок у галузі розробки цифрових систем:

- 1) *Освоїти мову опису апаратури Verilog.*
- 2) *Освоїти інтегроване середовище розробки ISE від Xilinx.*
- 3) *Освоїти архітектуру ПЛІС з архітектурою FPGA Spartan-6 від Xilinx.*

2. Проектування архітектури швидкісного Time-To-Digital перетворювача.

2.1. Аналіз основних архітектур часо-цифрових перетворювачів.

2.1.1. Принцип роботи.

TDC перетворює інтервал часу між різними імпульсами в цифровий код. TDC потребує двох сигналів: Start, який подається першим, і Stop, який подається пізніше. Різниця між наростаючими фронтами імпульсів Start і Stop називається інтервалом часу входу (T_{in}).

Найпростіший TDC показаний на **рис.1**. Лічильник буде вмикатися при надходженні сигналу запуску та відключатися при старті сигналу зупинки. Лічильник (Counter) буде рахувати кількість прийнятих тактових циклів для вимірювання інтервалу часу вхідного сигналу. Мультиплексор рахує кількість імпульсів з визначеною тактовою частотою – таким чином може бути визначений невідомий інтервал часу введення [9].

Ця архітектура також називається прямим вентиляванням. У цьому TDC стартові і зупиняючі сигнали не синхронні з тактовим сигналом, тоді як лічильник підраховує лише кількість імпульсів безвідносно до їх довжини, що може внести помилку в інформацію про вимірювальний час. Його графіки наведено на **рис.2**.

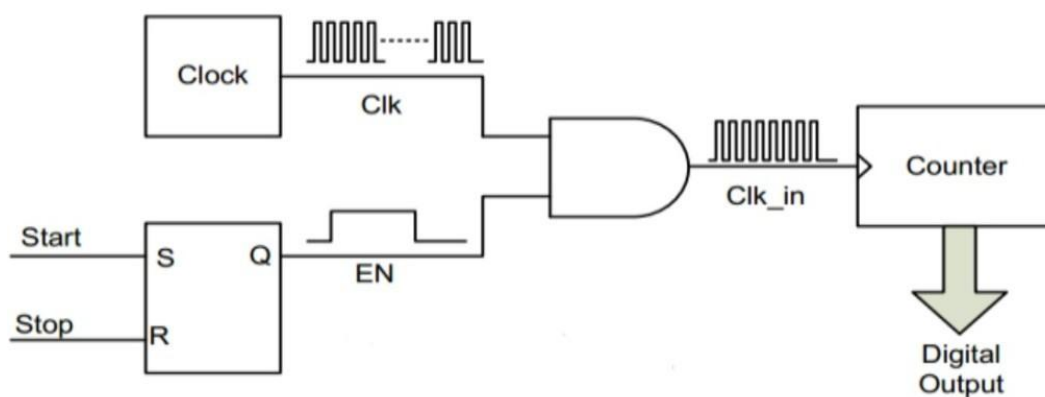


Рис.1: TDC на основі лічильника (пряме вентилявання).

Є кілька параметрів, які потрібно врахувати під час роботи TDC:

- 1) *Мінімальний інтервал* - мінімальний час між послідовними імпульсами.
- 2) *Мінімальний час затримки (dead-time)* - мінімальний час між зупиняючим імпульсом і наступним стартовим імпульсом.
- 3) *Роздільна здатність* - визначається як час, що відповідає наймолодшому значимому біту результуючого цифрового коду (результат вимірювання).

Роздільна здатність цього пристрою обмежена частотою тактового сигналу (здатною сприйматись лічильником) і вона не може бути вищою за період цього сигналу. Для отримання більш високої роздільної здатності потрібне збільшення тактової частоти, яке веде до значного розсіювання потужності. Тактова частота на мікросхемі конкретного пристрою є ключовим чинником обмеження застосування цього виду архітектури.

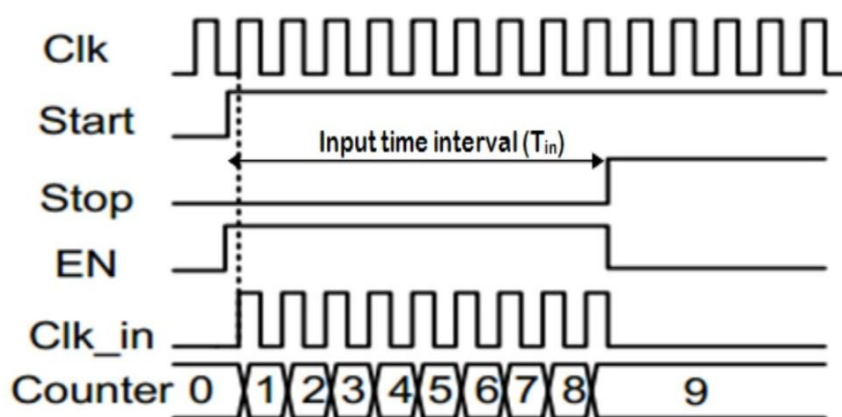


Рис.2: Форма сигналів лічильника TDC.

2.1.2. Види ліній затримок.

Для подолання проблем високої тактової частоти та великої потужності розсіювання, існують інші архітектури – з лініями затримки. З величезного їх розмаїття розглянемо лише ті, що розглядаються в літературі найчастіше.

2.1.2.1. TDC на основі однієї лінії затримки.

У цій архітектурі буфери використовуються як комірки затримки. Ці TDC на основі однієї лінії затримки придатні для технологічного масштабування

завдяки повністю цифровій організації [9]. Шість буферів, як комірки затримки, вбудовані в зарядовий насос з затримкою замкнутим витком Delay Locked Loop (DLL), як показано на **рис.3**. Цим методом можуть генеруватися шість зміщених у часі з різними затримками тактові сигнали. Сигнал **hit** в основному використовується для тактування вибірки. По наростаючому фронту **hit**-сигналу фіксується стан шести зміщених у часі тактових сигналів. Часові діаграми показані на **рис.4**.

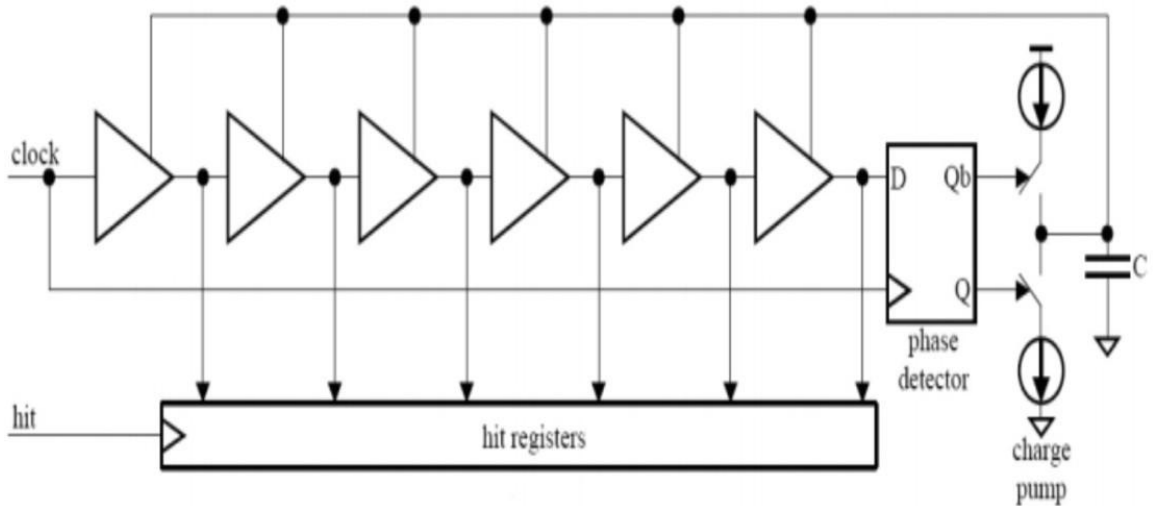


Рис.3: Архітектура однієї лінії затримки.

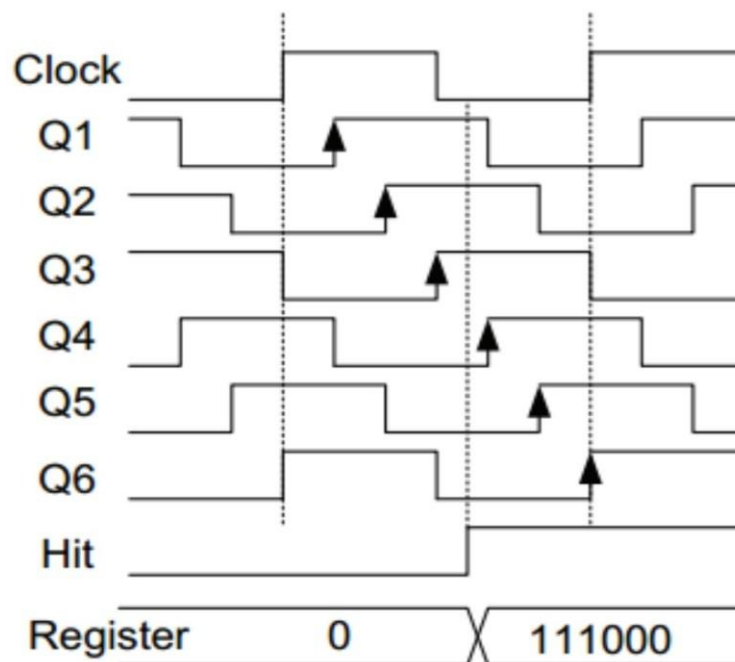


Рис.4: Часові діаграми однієї лінії затримки.

Роздільна здатність TDC з використанням однієї DLL визначається як:

$$\text{Роздільна здатність} = T_{clk}/N \quad (1)$$

Де:

T_{clk} = період тактового генератора.

N = кількість комірок затримки в DLL.

Роздільна здатність TDC на основі однієї лінії затримки в основному залежить від періоду тактового генератора, а також кількості буферів вбудованих у лінію затримки. У FPGA період тактового генератора обмежений використовуваною технологією.

Отже, збільшення кількості елементів затримки може бути корисним. Але мінімальна кількість комірок затримки та їх час затримки також залежить від технології. Більше того, є також проблема невідповідності комірок затримки в цьому варіанті, що не дозволяє інтегрувати велику кількість комірок затримки. Отже, досягнення більш високої роздільної здатності може бути важким.

Можна покращити роздільну здатність цієї архітектури – необхідно спробувати додатково розділити затримку комірок затримки, використовуючи масив ліній затримки або інші прийоми.

2.1.2.2. TDC на основі масиву ліній затримки.

Для усунення проблеми однієї лінії затримки може використовуватися масив з ліній затримки, в якому кілька DLL використовуються як масив. Роздільна здатність залежить від різниці часів затримки в комірках лінії затримки. Опорний тактовий сигнал поширюється масивом затримко замкнутих витків - DLLs.

У цьому методі розсіювання потужності та площа будуть високими через використання кількох DLLs. Для подолання цієї проблеми широко використовуються лінії затримки з відвітвленнями та лінію затримки Верньє [9].

Роздільна здатність TDC на основі масиву DLL така, як задано нижче:

$$\text{Роздільна здатність} = T_m - T_n \quad (2)$$

Тут:

$T_m, T_n =$ затримка часу в комірках затримки в обох DLLs.

$m, n =$ кількість комірок затримки з часом затримки t_m і t_n .

2.1.2.3. TDC на основі лінії затримки з відвітвленнями.

Як показано на **рис.5**, лінія затримки з відвітвленнями, що, складається з одного ланцюга клямок (Latch) та одного ланцюга буферів. Сигнал старту подається на ланцюг клямок, а сигнал зупинки подається на буферний ланцюг. Затримки ланцюга клямок та буферного ланцюга відрізняються. У цьому випадку роздільна здатність цієї архітектури залежить від різниці затримки між клямкою та буфером.

Ця архітектура більш ефективна по площі, ніж TDC на основі однієї лінії затримки, або лінія затримки Верньє [10].

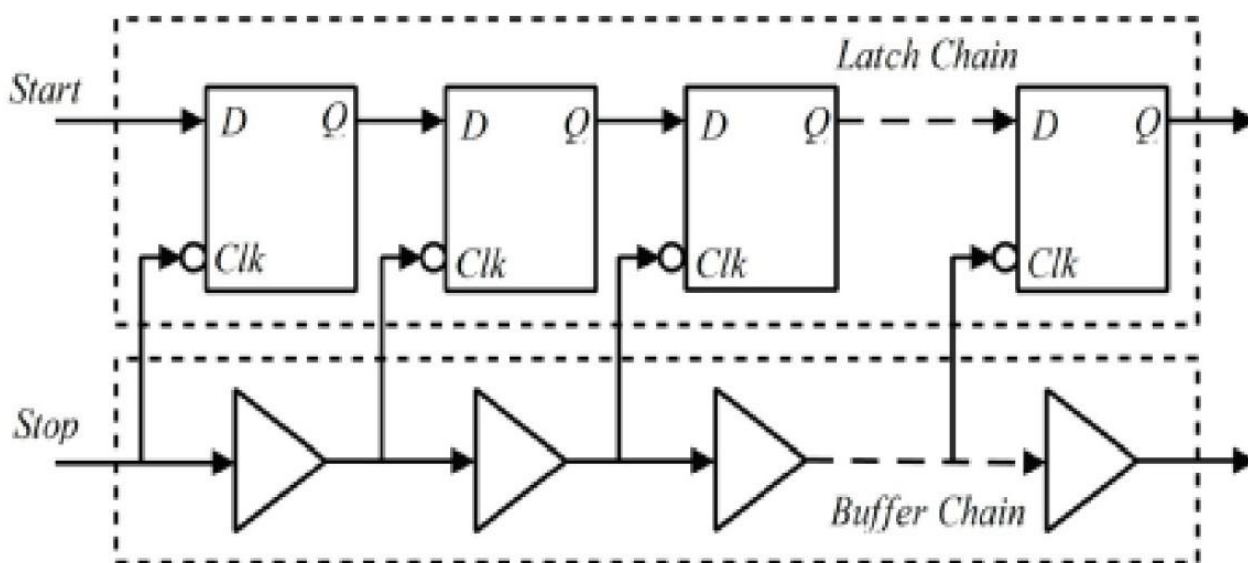


Рис.5: Архітектура лінії затримки з відвітвленнями.

Досягнення більш високої роздільної здатності вимагатиме більше зусиль стосовно оптимізації елемента затримки, розміщення та розводки комірок затримки в цій архітектурі, оскільки використовуються елементи різних типів.

2.1.2.4. TDC на основі лінії затримки Верньє.

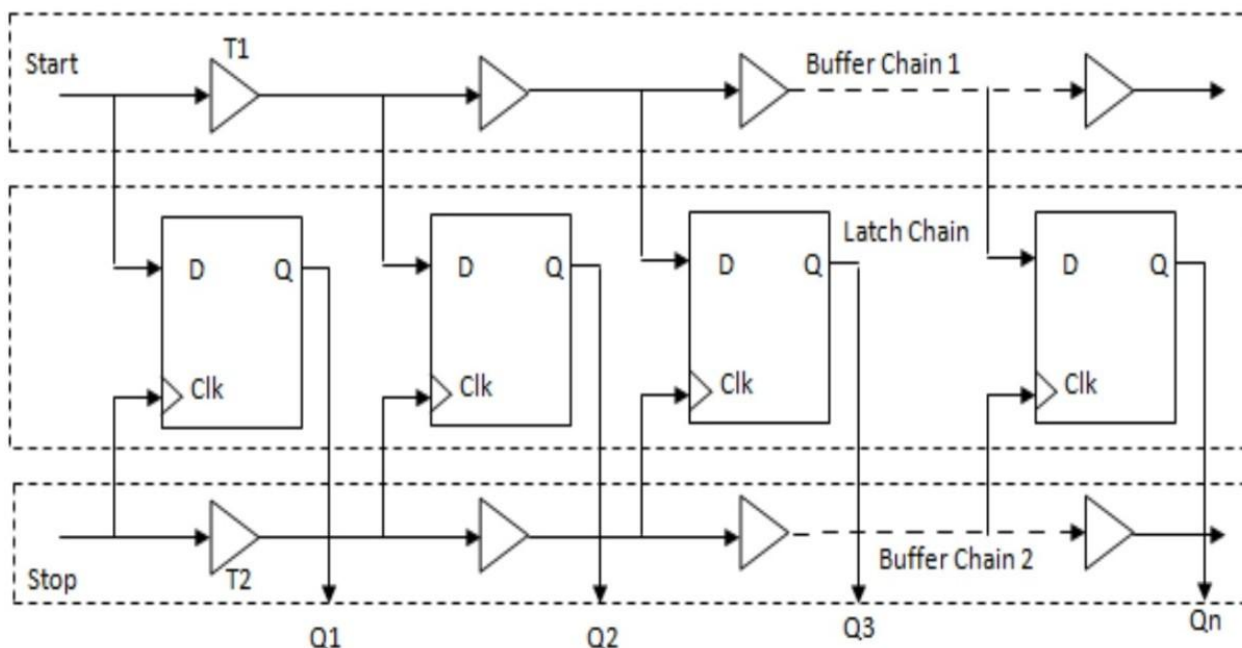


Рис.6: Архітектура лінії затримки Верньє.

Лінія затримки Верньє показана на **рис.6**. Принцип вимірювання бере початок від лінійки Верньє [9]. Необхідні дві лінії затримки. Як показано на малюнку вище, лінія затримки Верньє складається з одного ланцюга клямок та двох буферних ланцюгів. Ланцюг клямок в основному використовується для затримки результату. Сигнал Start і сигнал Stop - обидва подаються різним буферним ланцюгам. Використовуючи метод Верньє, можна виміряти невелику різницю в часі.

Для реалізації TDC, за допомогою лінії затримки Верньє, повинні бути задіяні два затримко замкнутих витки - DLLs. Таким чином, синхронізація багатозафазних тактових сигналів є дуже важливою у цій схемі.

Роздільна здатність лінії затримки Верньє дорівнює різниці затримок між двома періодами затримки ($T1$ і $T2$) затримуючих комірок в двох затримуючих ланцюгах.

Ця архітектура ефективніша по площі, ніж одинарна лінія затримки і менш ефективна за площею, ніж лінія затримки з відвітвленнями. У порівнянні з лінією затримки з відвітвленнями, ця архітектура вимагає більшої площі в

FPGA, але роздільна здатність виходить кращою, ніж в лінії затримки з використанням елементів одного типу [10].

2.1.2.5. TDC на основі вентиляного кільцевого осцилятора.

Лінія затримки на основі вентиляного кільцевого осцилятора (Gated Ring Oscillator - GRO) містить вентиляний кільцевий осцилятор, багато лічильників та довільний суматор, як показано на **рис.7**.

Цей TDC працює лише тоді, коли сигнал "Enable" має високий рівень і зупиняється, коли цей сигнал знаходиться на низькому рівні. Виходи керуваного кільцевого генератора можуть використовуватися як тактові сигнали для лічильників для підрахунку числа циклів [9]. Лічильник буде скинуто, коли сигнал "Enable" знаходиться в низькому рівні.

Двійковий суматор отримає загальну кількість чисел усіх лічильників. І вимірний інтервал часу буде пропорційний сумі підрахованих чисел за допомогою двійкового лічильника.

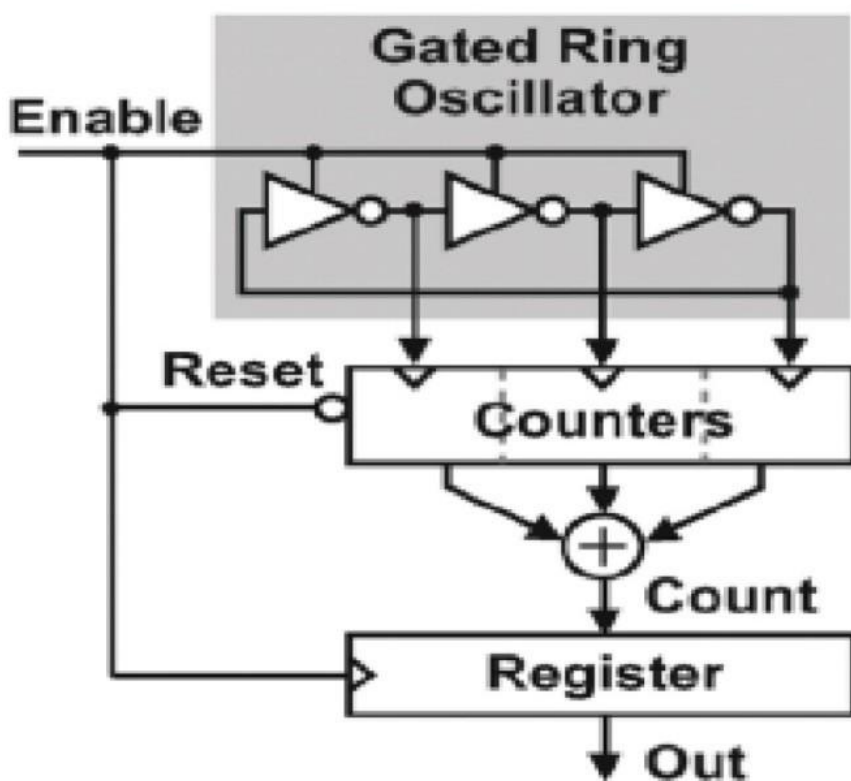


Рис.7: TDC на основі GRO.

2.1.2.6. TDC на основі стискаючої імпульс лінії затримки.

Скорочення імпульсів у лінії затримки, що зменшує імпульс - це неоднорідність яка використовується для створення лінії затримки. Архітектуру та принцип експлуатації показано на **рис.8**. У цій архітектурі сигнал Reset використовується, щоб забезпечити на початку низький рівень виходу T_{out} . Інтервал часу введення скорочується з фіксованою шириною у кожному циклу лінії затримки. Вихідний сигнал лінії затримки подається на вхід AND для кільцевого функціонування. Лічильник високої роздільної здатності керується T_{out} і генерує цифрові виходи, які є пропорційні виміряному інтервалу часу [9].

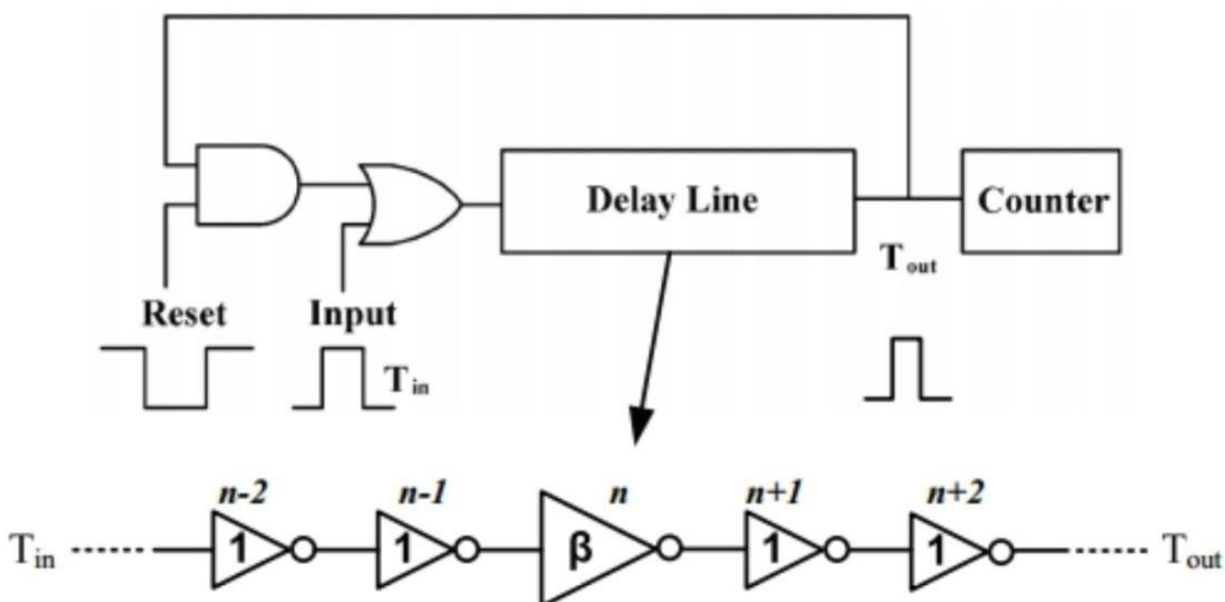


Рис.8: Лінія затримки з імпульсним скороченням

У цьому виді лінії затримки інвертори використовуються як комірки затримки і для цього необхідні два типи інверторів. Першим типом може бути стандартний інвертор з коефіцієнтом підсилення один. Другий тип - це інвертор з коефіцієнтом підсилення β . Унаслідок різниці вхідної ємності та еквівалентного опору в увімкненому стані, для фіксованого інтервалу часу імпульс буде стягуватись. Це зменшення інтервалу затримки залежить від розміру транзисторів, порогової напруги, джерела живлення, температури та інших параметрів.

Лінія затримки імпульсного скорочення може бути реалізована в FPGA, так як і за стандартною технологією CMOS, але вартість такої реалізації значно вища, ніж на FPGA.

2.1.2.7. TDC на основі лінії затримки з кільцевим осцилятором Верньє.

Важливим елементом цієї конструкції є два точних кільцеві генератори з можливістю перезапуску з дуже малою різницею періодів ($\Delta\tau$). Ці генератори використовуються для визначення різниці часу між двома імпульсами START і STOP, як показано на **рис.9**. Імпульси START та STOP вмикають повільні та швидкі генератори відповідно. Повільний генератор (період $T1$) ініціюється за допомогою START і швидкий генератор (період $T2$) ініціюється STOP. У цій архітектурі $T2 < T1$ і STOP з'являється після START, в якийсь момент наростаючий фронт швидкого генератора буде збігатися з наростаючим фронтом повільного генератора. Цей збіг буде виявлено фазовим детектором. У цій методиці повільний генератор і швидкий генератор будуть слугувати тактовими генераторами грубого лічильника та тонкого лічильника відповідно і кількість тактових імпульсів ($n1$ та $n2$) буде підрахованою. Ці лічильники зупинять підрахунок, коли фазовий детектор виявить фазовий збіг генераторів [8, 11].

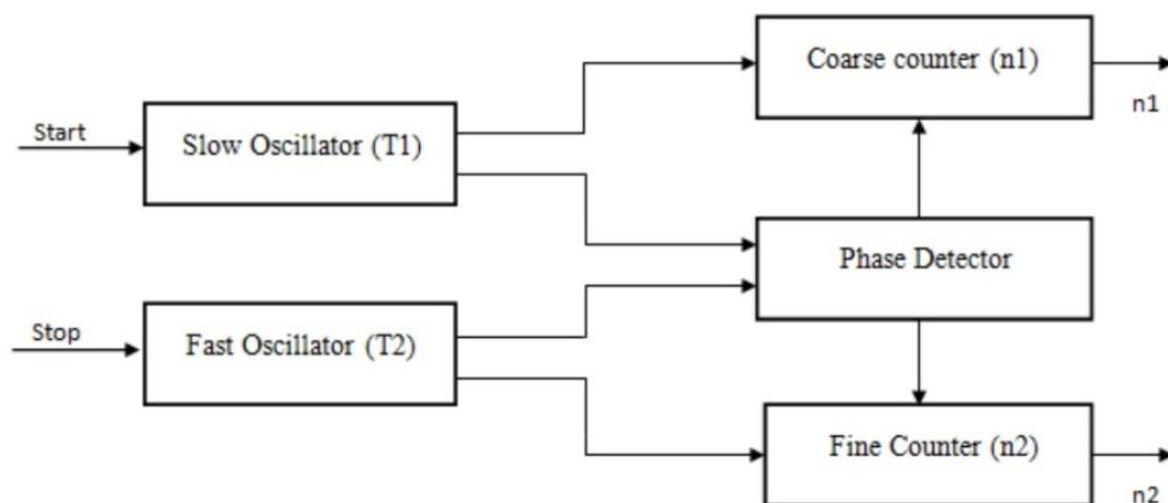


Рис.9: Лінія затримки генератора Верньє.

Інтервал часу введення можна визначити за рівнянням:

$$T_{in} = T_1(n_1) - T_2(n_2) \quad (3)$$

Де:

T_1, T_2 = періоди повільного тактового генератора та швидкого тактового генератора відповідно.

n_1, n_2 = підрахована кількість (підрахунок) грубого лічильника та тонкого лічильника відповідно.

Це рівняння також залежить від схеми, що використовується для фазового детектора. Для різних фазових детекторів схема рівняння може бути різною.

Перевага використання генераторів полягає в тому, що вони зменшують вимоги відповідності щодо буферів затримки, які використовуються в лінії затримки Верньє. Ця функція дуже корисна для зменшення невизначеності часу TDC на основі лінії затримки Верньє, яка, головним чином, спричинена варіацією затримки буферів [11].

Недоліком цієї архітектури є те, що потрібно багато циклів для вимірювання одного інтервалу часу (великий dead-time). Час перетворення також є високим для цього типу лінії затримки, ніж в інших лініях затримки, які можуть визначати інтервал часу кожного циклу.

Форми сигналу лінії затримки Верньє показані нижче на **рис.10**:

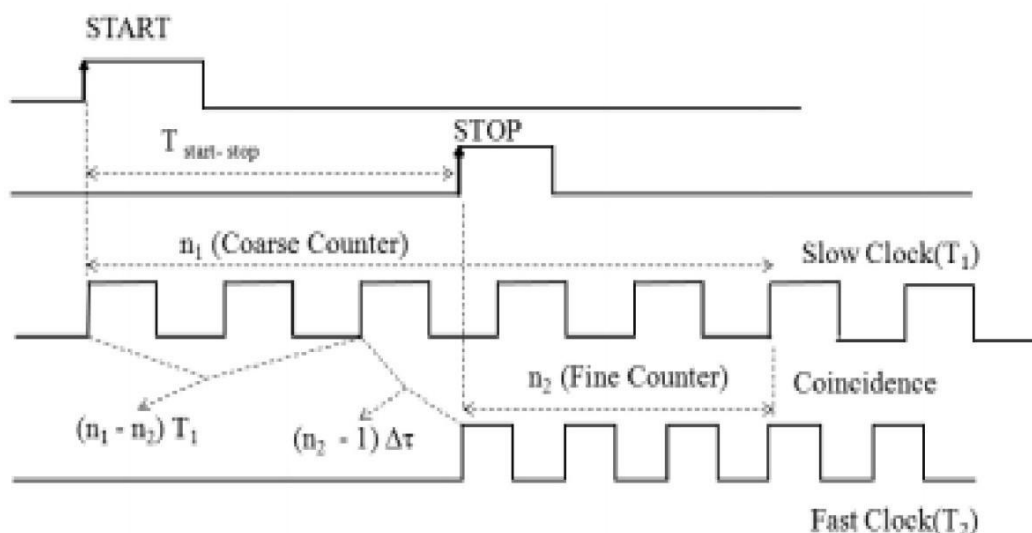


Рис.10: Форма сигналу лінії затримки кільцевого генератора Верньє.

2.1.2.8. Метод 4x-передискретизації.

У цьому методі, одна лінія затримки з чотирма буферами, кожен з яких може дати зсув фази рівно на 90 градусів [2]. Delay Locked Loop, було використано для досягнення точного зсуву фази на 90 градусів у даній методиці. Затримка Locked Loop забезпечує постійний фазовий зсув на вихідних тактових сигналах.

На **рис.11** DLL має фазовий детектор, який вимірює помилку фази і перетворює цю інформацію при необхідності у зарядний насос. Сигнал тактового генератора подається на вхід лінії затримки. При цьому способі генеруються чотири фазово зміщені тактові сигнали (0, 90, 180, 270 градусів) [2]. Ці чотири зміщені тактові сигнали працюють як тактові сигнали, що запускають чотири різні лічильники. Остаточний підрахунок у чотири рази збільшує роздільну здатність, ніж опорна тактова частота [2].

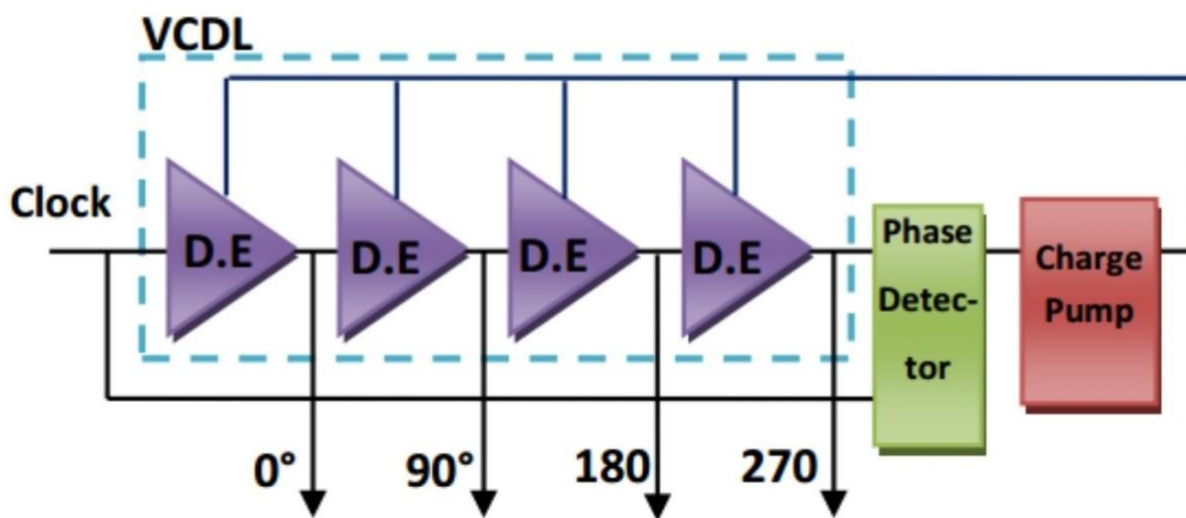


Рис.11: Лінія затримки на основі методу 4x-передискретизації

2.1.2.9. Лінія затримки з відвітвленнями з використанням мультиплектора.

Основна перевага лінії затримки Верньє перед лінією затримки з відвітвленнями полягає в тому, що лінія затримки Верньє має однакові елементи затримки та дає затримку в обох лініях затримки тоді як лінія затримки з відвітвленням має різні елементи затримки для обох ліній затримки,

що вимагає ретельного узгодження затримки між клямковим та буферним ланцюгами. Але лінія затримки з відвітвленнями є більш ефективною за площею - вона використовує менше елементів, ніж лінія затримки Верньє [10].

У даній методиці, використовувався той самий елемент (мультиплексор) і замість клямки, і замість буфера, як показано на **рис.12**. Використовуючи лише такі елементи як клямка та буфер, можна зменшити різницю затримок. Тому використання мультиплексорів замість клямок і буферів є дуже корисними [10].

Для створення такого роду дизайну в FPGA можна використати мультиплексори з ланцюгів швидкого переносу з використанням відповідних методів розводки.

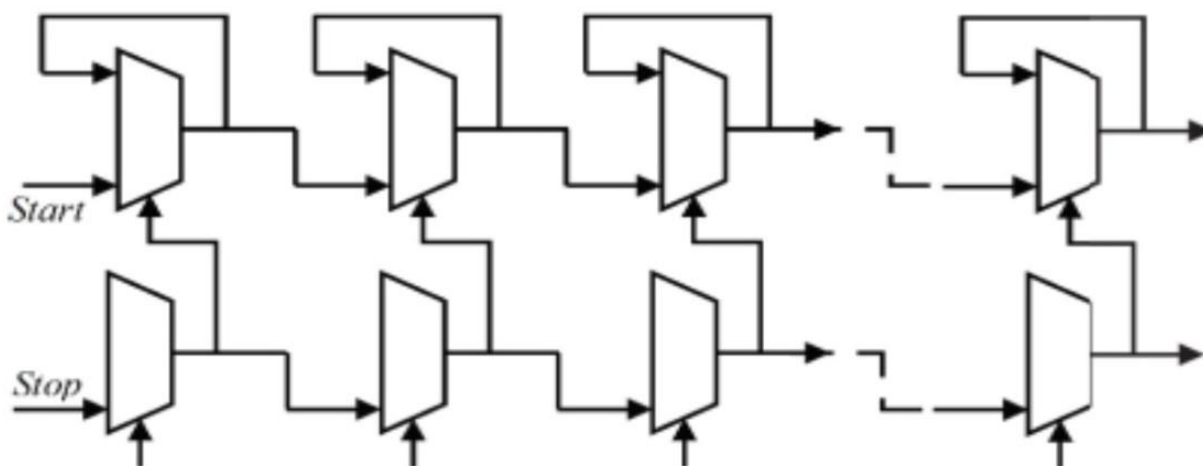


Рис.12: Фіксована лінія затримки з використанням мультиплексора

Головна перевага полягає в тому, що мультиплексор може бути легко налаштований так, щоб він поведився як буфер чи клямка лише зміною способу підключення виходу. Це дозволяє досягнути прецизійної відповідності двох частин ланцюга. Це інколи також називається гібридним підходом.

Клямкові та буферні ланцюги ґрунтуються на підході "Tapped Delay Line", але окремі елементи затримки реалізуються з використанням однакових базових елементів, тим самим надаючи відповідну затримки, подібну до методу VDL [10].

Табл.1: Порівняння архітектури з точки зору роздільної здатності.

Порядковий номер	Архітектура	Мінімальна роздільна здатність
1	TDC на основі лічильника	~ 1 нс
2	Одинарна лінія затримки	~ 100 пс
3	Масив ліній затримки	~ 50 пс
4	Лінія затримки з відвітвленнями	~ 10 пс
5	Лінія затримки Верньє	~ 10 пс
6	TDC на основі вентиляного кільцевого осцилятора	~ 100 фс
7	TDC на основі стискаючої імпульс лінії затримки	~ 1 пс
8	TDC на основі лінії затримки з кільцевим осцилятором Верньє	~ 10 пс

3. Реалізація часо-цифрового перетворювача.

3.1. Перелік кількісних параметрів і технологічних вимог до проекту.

3.1.1. Вимоги до TDC як апаратної складової методики DLTS.

Однією з ключових складових створюваного в IBT DLTS - спектрометра є Time-To-Digital converter (TDC), оскільки точки на релаксаційній кривій одержуються шляхом вимірювання часів зарядно-розрядних процесів зразка [5].

При розробці загальної структури проекту і окремих її блоків потрібно врахувати специфіку застосування розробленого пристрою і ряду обмежуючих факторів, продиктованих наявними апаратними ресурсами та особливостями алгоритму вимірювань. Зокрема потрібно враховувати:

- *Пристрій повинен вимірювати релаксаційні процеси протяжністю до 10 с.*
- *Пристрій повинен виконувати 2 000 000 вимірювань за секунду.*
- *Час одного вимірювання не повинен перевищувати 300 нс.*
- *Похибка вимірювання не повинна перевищувати 10 пс.*
- *Пристрій повинен бути реалізований мінімальною кількістю апаратних ресурсів.*

3.1.2. Вибір базової архітектури часо-цифрового перетворювача з врахуванням вимог методики DLTS і апаратної платформи для реалізації проекту.

Аналіз існуючих архітектур TDC і досить жорстких вимог до пристрою показав, що готового рішення для нашого випадку не існує. Бажання реалізувати ЧЦП на залишках апаратних ресурсів ПЛІС Xilinx Spartan-6, розміщеній на одній з електронних плат комплексу, спонукало взяти за основу принцип Верньє з суттєвими конструктивними і алгоритмічними модифікаціями [11].

3.2. Розробка часо-цифрового перетворювача з алгоритмом Верньє.

Оскільки особливості основних архітектур були досить детально розглянуті, то далі будуть приведені функціональні схеми, блок-схеми, електронні схеми окремих блоків без детальних пояснень.

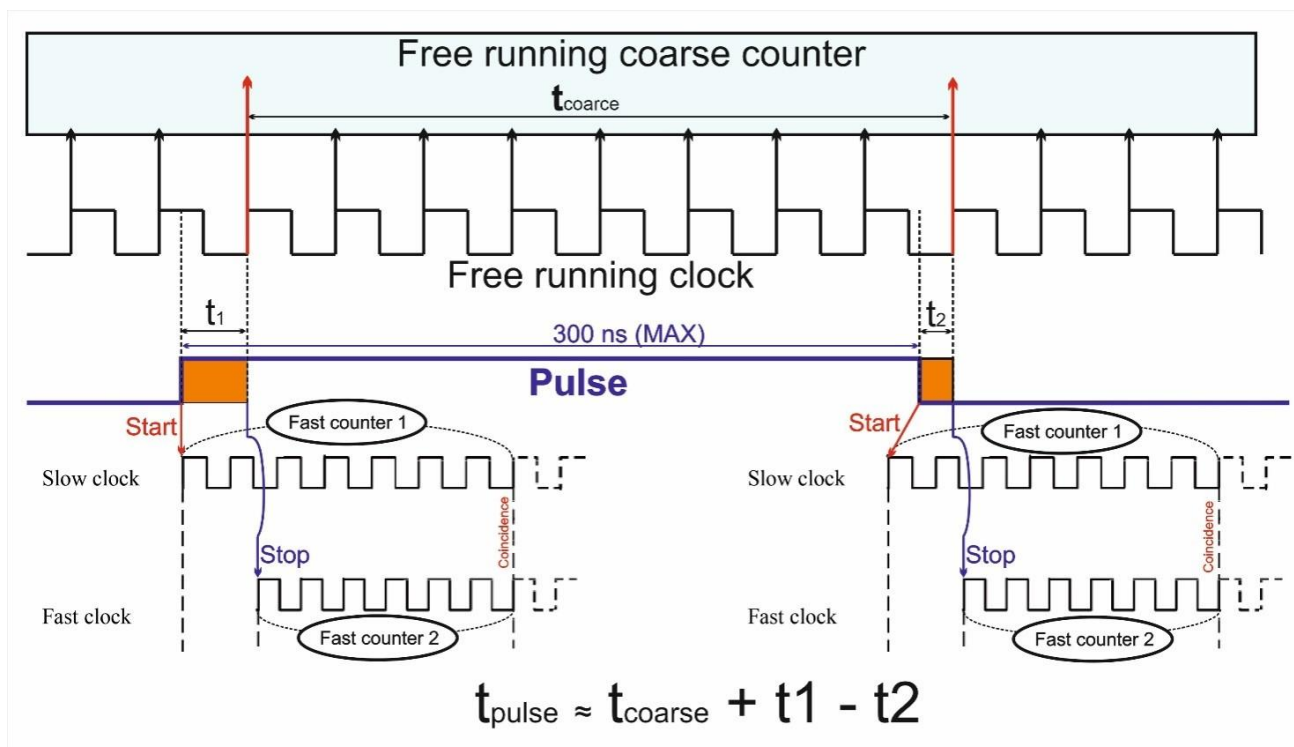


Рис.13: Функціональна структура створюваного TDC.

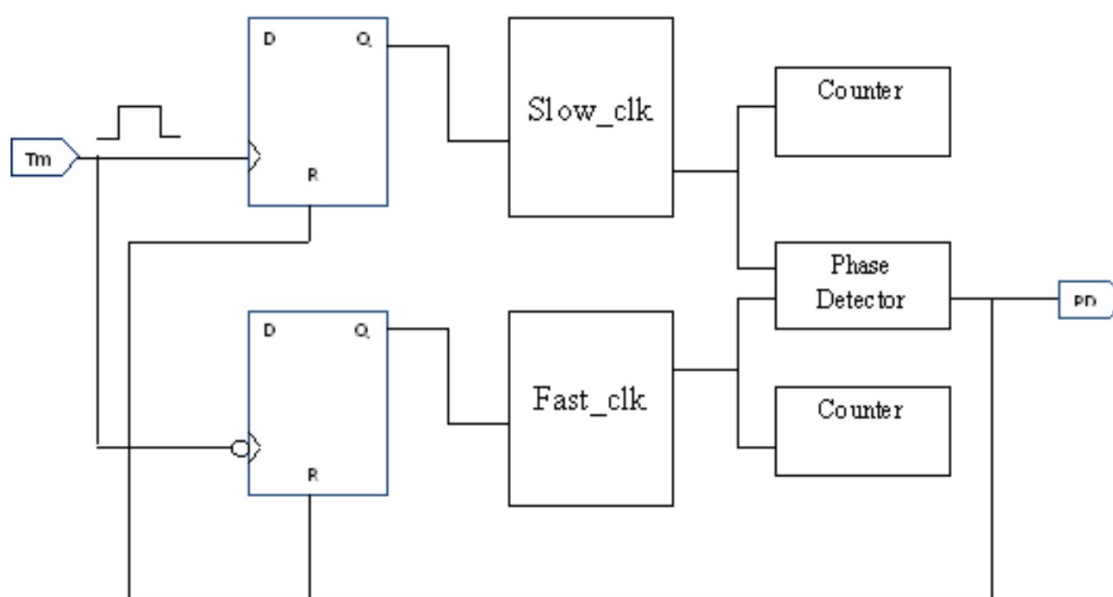


Рис.14: Блок схема Верньє TDC.

3.2.1. Розробка модульної структури проекту.

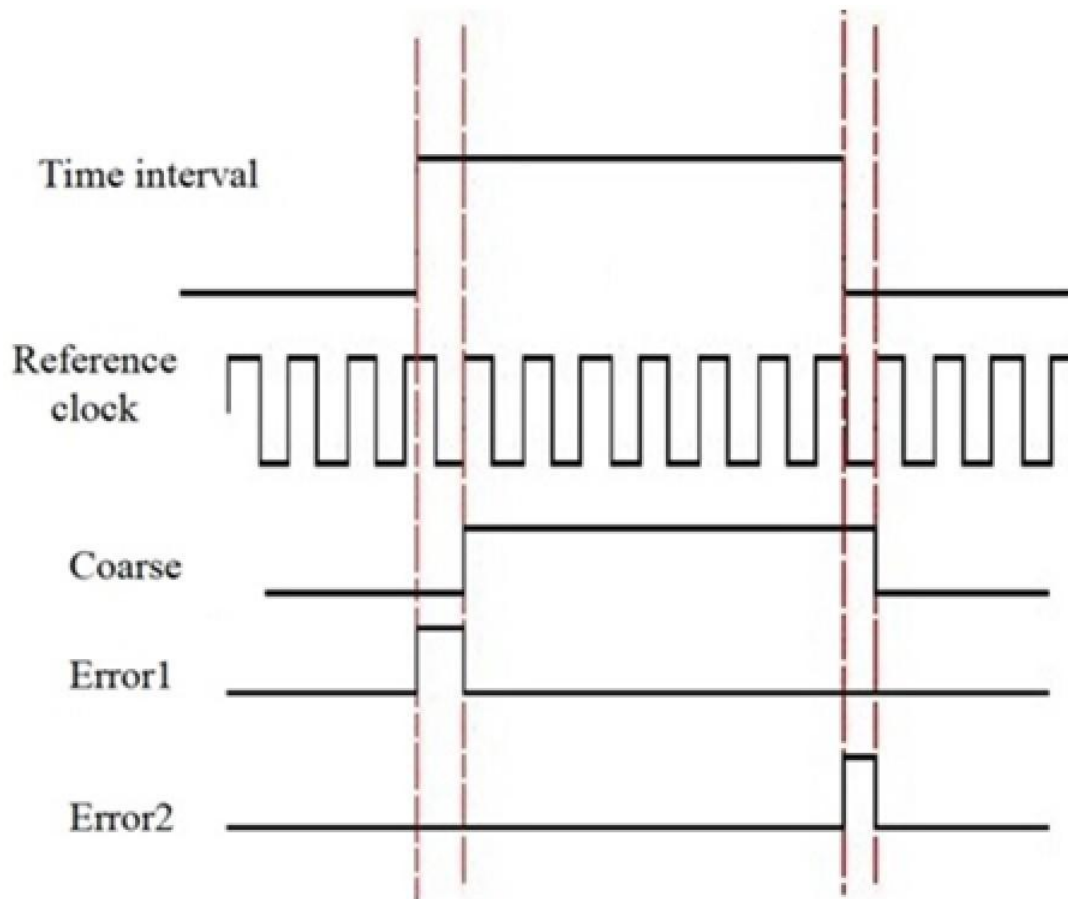


Рис.15: Принцип формування похибки лічильника.

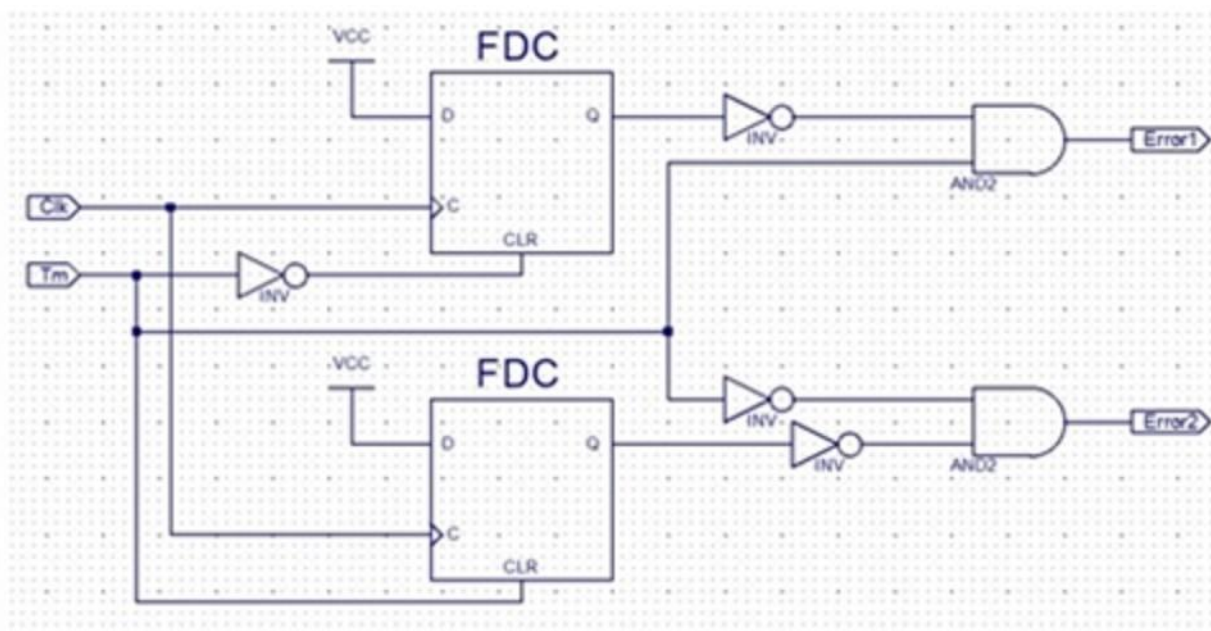


Рис.16: Електронна схема детектування похибки.

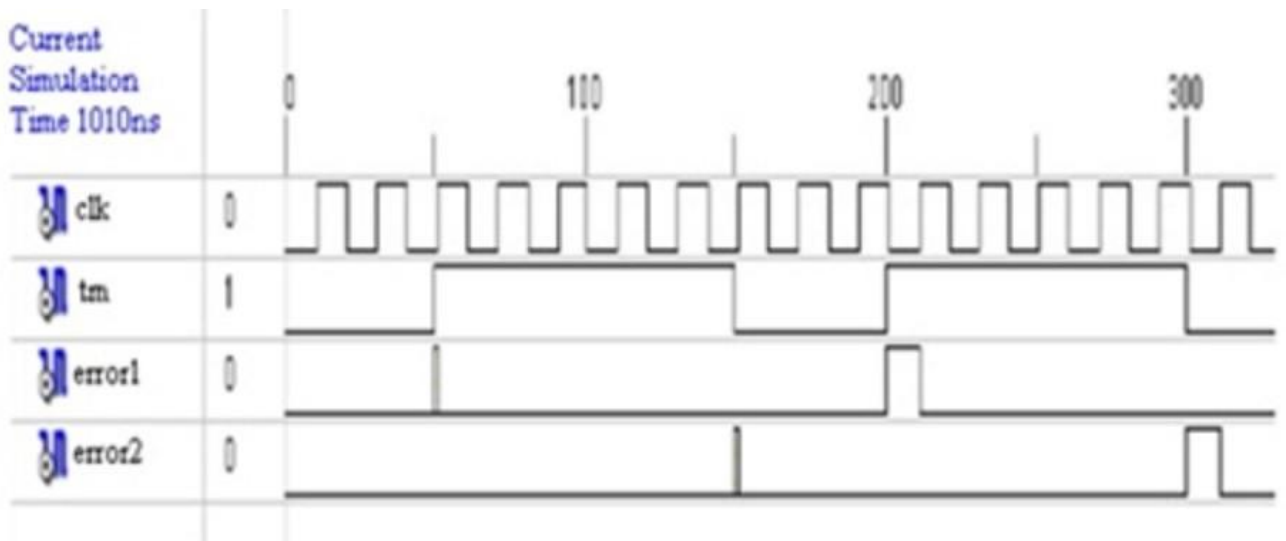


Рис.17: Результати поведінкової симуляції схеми.

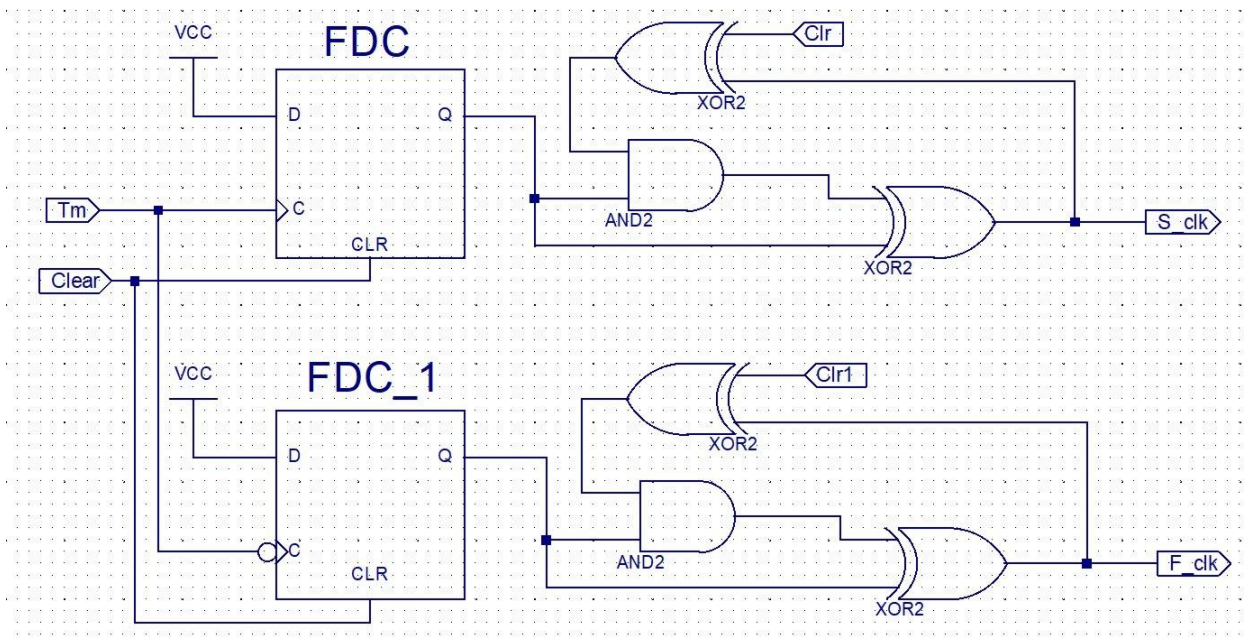


Рис.18: Електронна схема подвійного кільцевого осцилятора.

Як видно з рисунка осцилятори ідентичні за будовою. Тож розбаланс періодів у 10 пс був одержаний за рахунок різної топології осциляторів у кристалі.

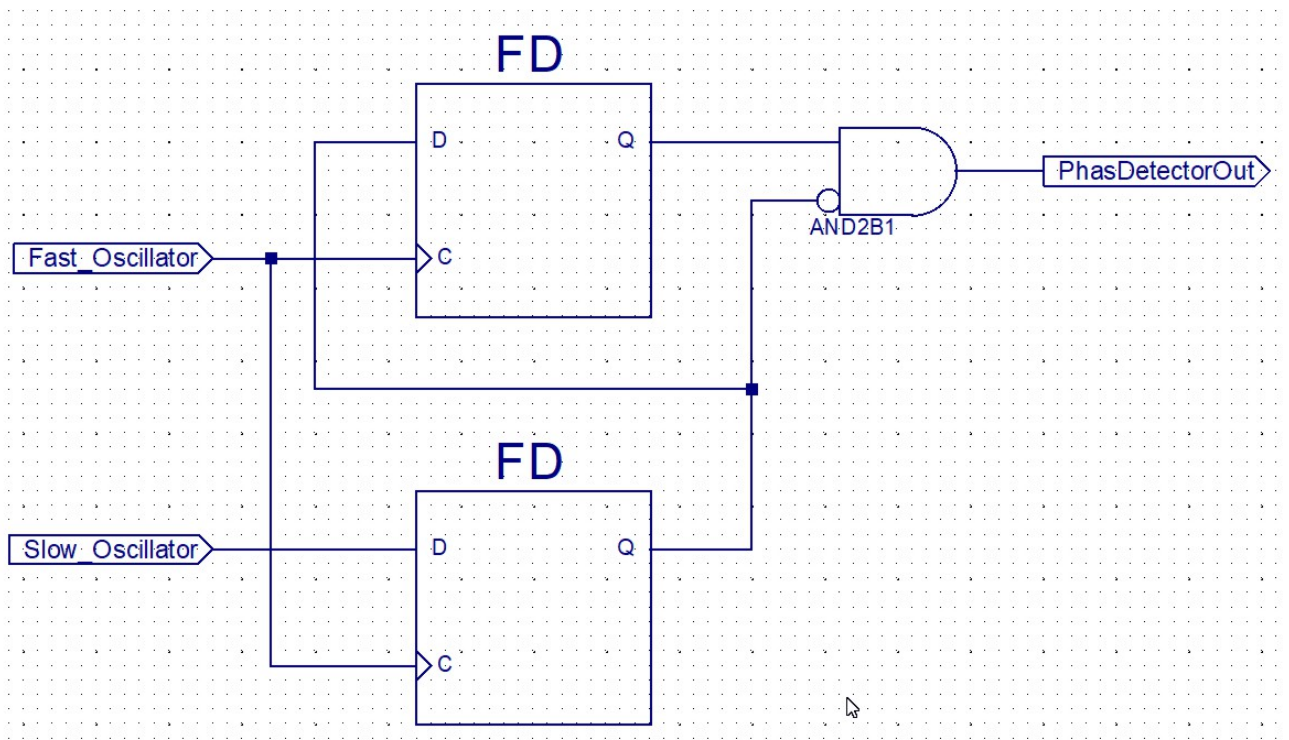


Рис.19: Електронна схема фазового детектора (coincidence fixer).

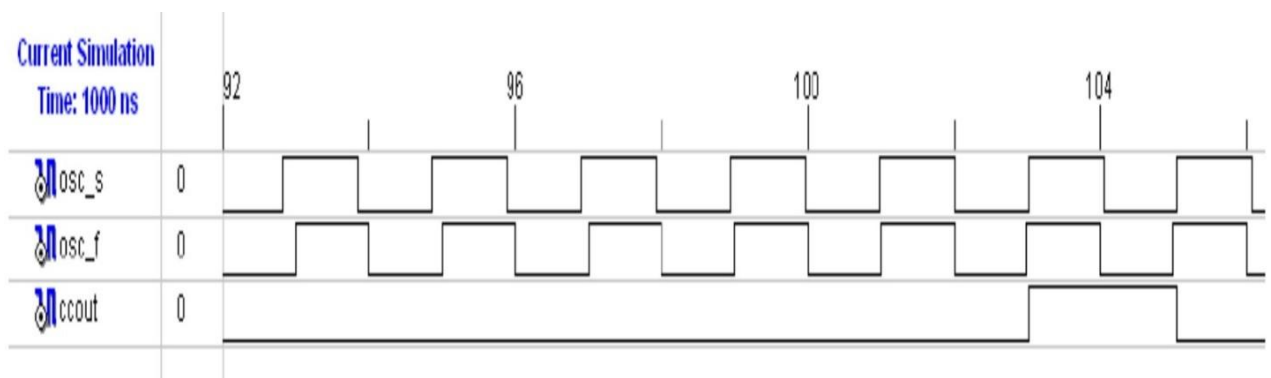


Рис.20: Результати поведінкової симуляції функціонування електронної схеми фазового детектора (coincidence fixer).

3.3. Висновки стосовно Верньє TDC.

Результати тестів свідчать про те, що бажана роздільна здатність у 10 пс. може бути досягнута. Проте найшвидший лічильник, який нам вдалось створити на кристалі Xilinx Spartan-6, здатен рахувати тактові імпульси з максимальною частотою 500 МГц (період 2 нс).

Згідно описаному вище алгоритму функціонування Верньє, TDC тільки на сам процес вимірювання потрібно $2 \text{ нс} / 10 \text{ пс} = 200$ тактів лічильника, а отже, $200 * 2 \text{ нс} = 400 \text{ нс}$. На обрахунок результату витрачається ще 200 нс, що в сумі

складає 600 нс. Одна з вимог до TDC як апаратної складової методики DLTS, обумовлена особливостями алгоритму вимірювань, постулює: час одного вимірювання не повинен перевищувати 300 нс [5].

Отже за даним критерієм створений часо-цифровий перетворювач не придатний для використання в якості апаратної складової методики DLTS. Одержані результати роблять очевидними висновки:

- 1) *На кристалі Xilinx Spartan-6 можна створити ЧЦП з повним часом однократного вимірювання 300 нс, але ціною зниження роздільної здатності у 4 рази – до 40 нс. Але при цьому буде порушена інша вимога - похибка вимірювання не повинна перевищувати 10 нс.*
- 2) *Основна перевага Верньє TDC – мінімальна кількість ресурсів. Платою за цю перевагу є низька швидкодія – основний недолік Верньє TDC. Ресурсоемкість і швидкодія "знаходяться у протифазі" – це стосується всіх типів ЧЦП.*
- 3) *Щоб не порушувати жоден з встановлених критеріїв, Верньє TDC і інші електронні блоки DLTS спектрометра потрібно реалізувати на ПЛІС FPGA 7-го покоління [12], наприклад Xilinx® Kintex™-7, Virtex-7 або Xilinx Zynq™-7000 AP SoC.*
- 4) *Оскільки ЧЦП з потрібними нам характеристиками на кристалі Xilinx Spartan-6 (який розміщений на одній з електронних плат комплексу) одержати не вдалось (зокрема через брак апаратних ресурсів) проект потрібно переносити на чіп 7-го покоління.*

Тому наступний етап даної роботи полягав у вирішенні кількох завдань:

- a) *Розробити часо-цифровий перетворювач з роздільною здатністю < 10 нс і максимально можливою швидкодією.*
- b) *Оцінити ресурсоемність проекту реалізованому на ПЛІС вцілому – ЧЦП + інші цифрові блоки спектрометра + ChipScope + 20% запас.*
- c) *Зробити обґрунтований вибір типу і марки мікросхеми 7-го покоління для реалізації проекту.*

3.4. Розробка швидкодіючого часо-цифрового перетворювача.

Проаналізувавши наукові джерела, я дійшов висновку, що TDC на основі усереднювача багатоланцюгових вимірювачів (multichain measurements averaging TDC) є найбільш оптимальною архітектурою, бо:

- *Час самого вимірювання (одержання термометричних даних) складає ~ 2 нс.*
- *Мінімальний час затримки (dead-time) складає 3 періоди системного тактового сигналу.*
- *Одержана роздільна здатність 1,7 пс (літературні джерела) [13].*
- *Найбільш придатна для реалізації на ПЛІС з архітектурою FPGA.*
- *Легко масштабована.*

Недоліки архітектури – значна ресурсоемність і складний математичний постобробіток термометричних даних – нівелюються правильним вибором типу і марки мікросхеми 7-го покоління для реалізації проекту. Наприклад, вибір гібридної платформи Xilinx Zynq™-7000 [14] з FPGA ядром Kintex (740 МГц) достатньої ресурсоемності і двоядерним процесором ARM Cortex-A9 [15] (1 ГГц кожне) дозволить на основі FPGA реалізувати сам вимірювач і критичні до часу виконання частини математичних обчислень (зокрема і за рахунок фізичного розпаралелення обчислень). Всі інші математичні (і не лише) функції можна покласти на процесор.

3.4.1. Принципи функціонування часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.

Алгоритм функціонування перетворювача проілюструємо наступним рисунком і супровідними поясненнями [16].

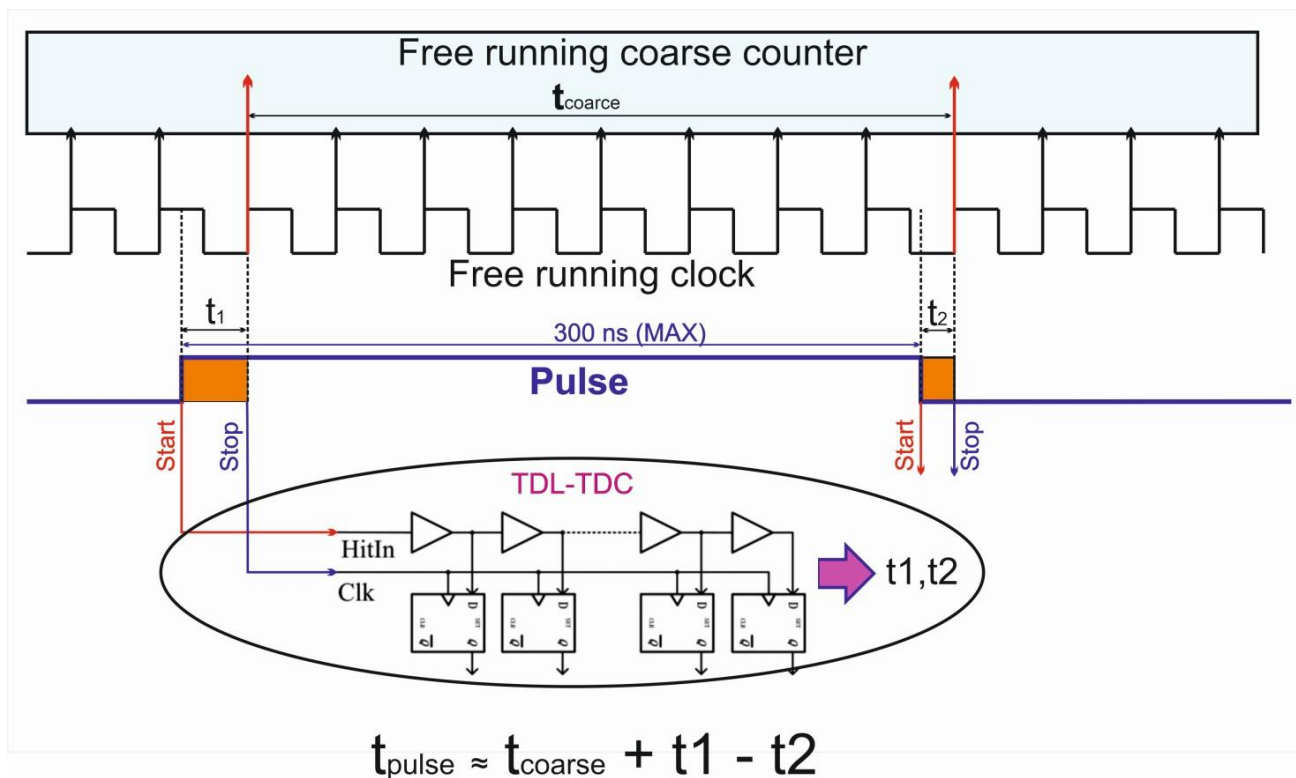


Рис.21: Алгоритм функціонування часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.

При вимірюванні довільних відрізків часу груба складова вимірюється неперервно працюючим лічильником, який рахує протяжність інтервалу (Pulse) з точністю до періоду тактового сигналу (~ 2 нс) - t_{coarse} . Часові похибки, що з'являються внаслідок неспівпадіння фронтів вимірюваного і тактового сигналів - t_1 і t_2 вимірюються по черзі часо-цифровим перетворювачем на основі усереднювача багатоланцюгових вимірювачів.

3.4.2. Архітектура часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.

Архітектуру часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів буде легше зрозуміти, розглянувши будову і принцип дії його головної складової - простого TDC на основі лінії затримки з відвітвленнями - tapped-delay line (TDL) [17].

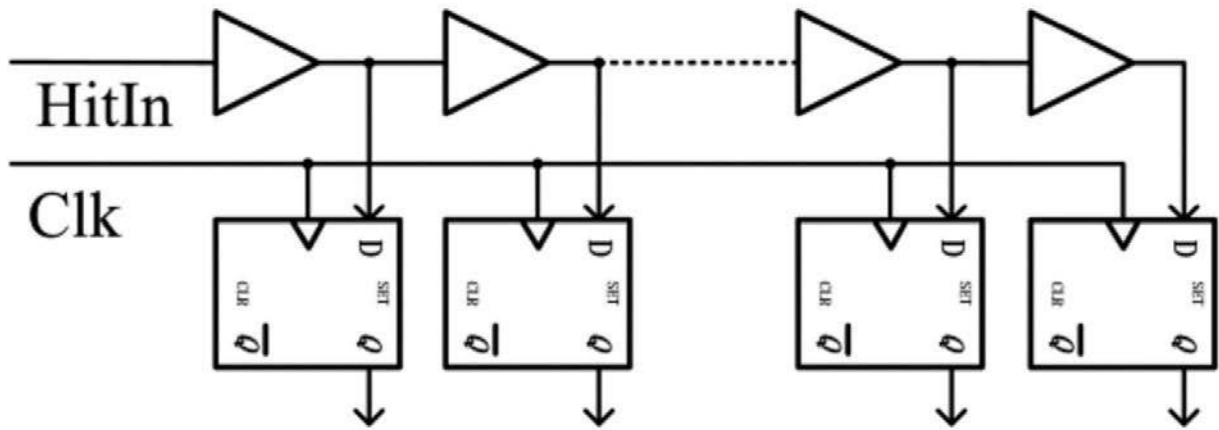


Рис.22: TDC на основі лінії затримки з відвітвленнями - *tapped-delay line (TDL)*.

Оскільки один з варіантів лінії затримки з відвітвленнями вже був розглянутий вище, зупинимось лише на особливостях конструкції, приведеної на рисунку:

- Початковий фронт імпульсу подається на *HitIn* і розповсюджується вздовж лінії затримки.
- Кінцевий фронт – на *Clk*, який фіксує на *Q*-виходах *D*-тригерів стан лінії затримки.
- Входи *Reset* *D*-тригерів, за допомогою яких виконується скидання, не показані.
- Після закінчення обробки даних «термометра» система “скидає” *D*-тригери і *TDL* готова до вимірювань.

На наступному рисунку приведена загальна архітектура часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів без деталізації структури її базових елементів [18].

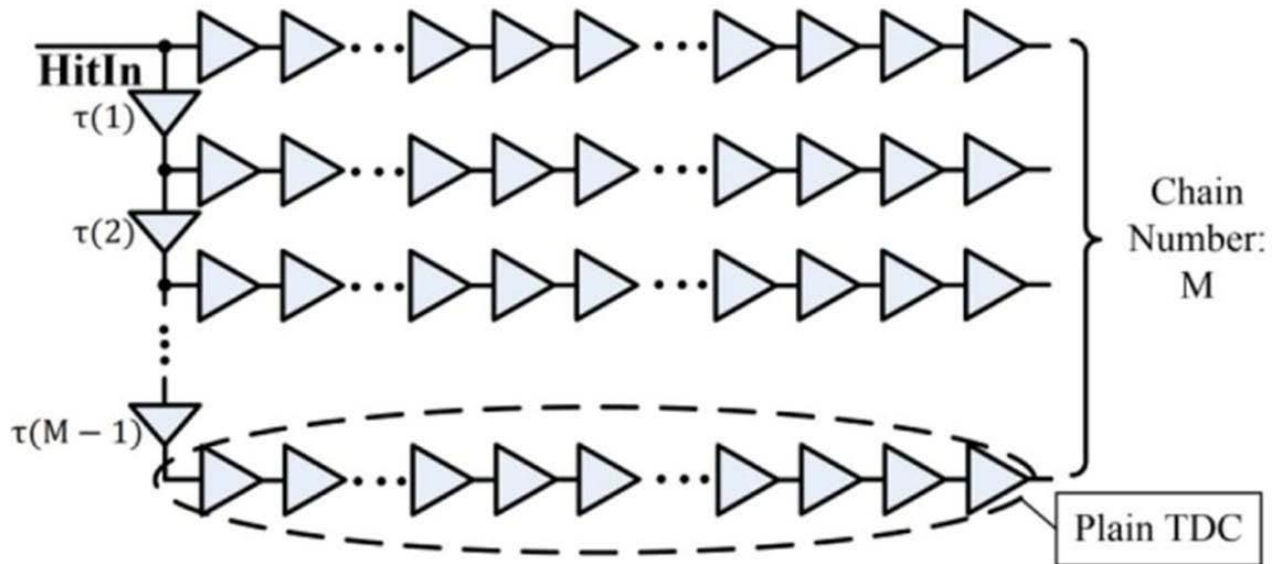


Рис.23: TDC на основі усереднювача багатоланцюгових вимірювачів (*multichain measurements averaging TDC*).

Даний часо-цифровий перетворювач складається з 16-ти простих ліній затримки з відвітвленнями (TDL) – горизонтальні ланцюги на рисунку. Кожен з горизонтальних ланцюгів одержує сигнал з відводів вертикального ланцюга, який забезпечує затримки $\tau_1 - \tau_{15}$ (кожного наступної TDL по відношенню до попередньої). Вертикальна лінія побудована з тих же компонентів, проте її відвітвення не приєднані до тригерів, а з'єднані з входами горизонтальних ліній.

Приведена вище частина архітектури часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів є критичною по часу виконання, тому повинна бути реалізована на FPGA ПЛІС і це є одним із завдань моєї роботи.

Виходи тригерів горизонтальних ліній дають нам 16 термометричних кодів, які після математичного обробітку дозволяють нам встановити значення вимірюного проміжку часу. З урахуванням блоку обробітку даних, який може бути виконаний і на процесорі, повна блок-схема часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів набуває наступного вигляду [19]:

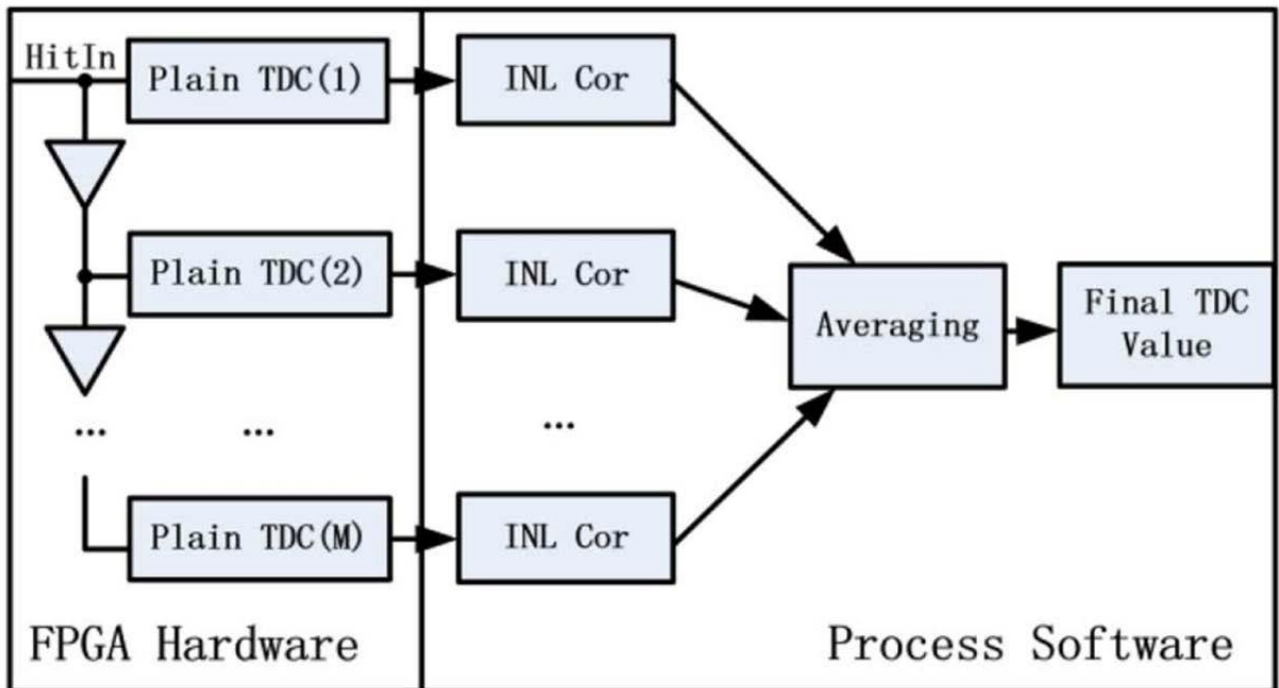


Рис.24: Повна блок-схема часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.

3.4.3. Вибір оптимальної платформи для реалізації часо-цифрового перетворювача на основі усереднювача багатоланцюгових вимірювачів.

При визначенні оптимальної платформи для реалізації часо-цифрового перетворювача брались до уваги наступні висновки з попереднього параграфу і **рис.24:**

- 1) Ліва частина + *Free running clock generator*+ *Free running coarse counter* – реалізуються апаратно на основі ПЛІС з архітектурою FPGA (головне завдання роботи).
- 2) Права частина - *integral nonlinearity (INL)* коректори, усереднювач і кінцевий обчислювач реалізуються на процесорному ядрі [20].

Тому оптимальною платформою для реалізації TDC і інших апаратно-програмних блоків DLTS спектрометра видається All Programmable System on Chip (SoC) Xilinx Zynq-7000.

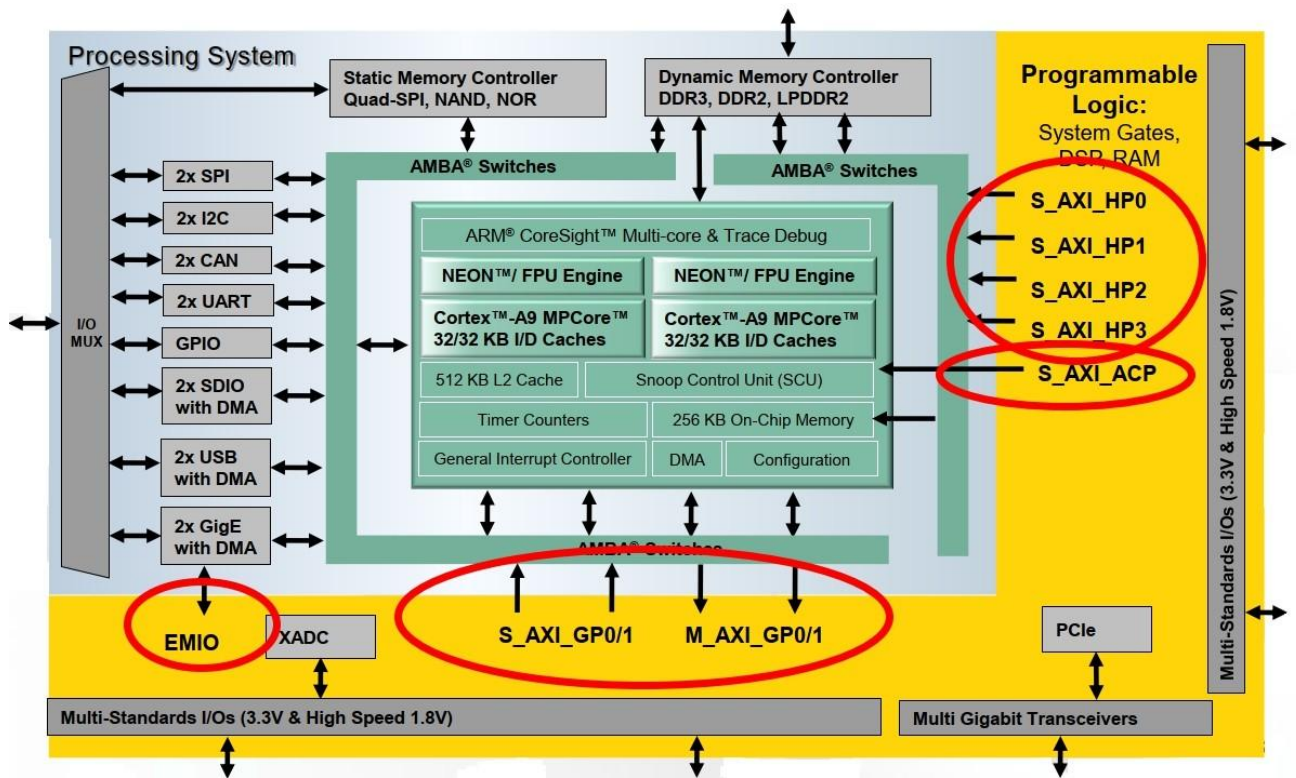


Рис.25: Блок-схема Xilinx Zynq-7000 SoC (System on Chip).

Опису архітектури і переліку функціональних можливостей даної системи на кристалі можна присвятити десятки сторінок, тому тут приведемо лише основні, і лише ті, які будемо використовувати у нашому проекті.

- *Процесорна частина - посередині (зелений колір) – дво(чотири)ядерний (ARM Cortex A9, 1ГГц) мікропроцесор.*
- *FPGA частина -справа і знизу (жовтий колір) - з об'ємом: від 23000 до 444000 Logic Cells, від 14400 до 277400 Look-Up Tables (LUTs), від 66 до 2020 DSP Slices...*
- *Система оснащена великою кількістю периферійних блоків. Більшість з них містить апаратну реалізацію багатьох популярних інтерфейсів - 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO, 2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO, PCI Express®Gen2 x4, ... Інші - 2x 12 bit, 1 MSPS ADCs with up to 17 Differential Inputs – дозволяють проводити оцифрування аналогових сигналів.*
- *Високопродуктивна шина ARM AMBA забезпечує швидкісний зв'язок між процесорними ядрами, FPGA частиною і периферійними блоками, завдяки*

чому зовнішні інтерфейси є доступними для обох блоків – процесорного і FPGA.

Визначившись з типом апаратної платформи для реалізації проекту швидкісного TDC, потрібно аргументовано вибрати конкретну марку мікросхеми. Для виконання даного завдання роботи потрібно враховувати ряд факторів:

- 1) Проекти, що виконуються на подібних платформах, мають ряд функцій, які априорі повинні виконуватись апаратно – цифровими електронними колами. До них відносяться задачі, критичні за часом виконання, з прецизійною синхронізацією сигналів, тощо. Очевидно, що такі задачі реалізуються на FPGA частині платформи [21].
- 2) З визначенням завдань для мікропроцесорної частини не все так очевидно, бо програмний код написаний самими досвідченими програмістами і оброблений найдосконалішими компіляторами завжди містить "вузькі місця" [22], які суттєво сповільнюють роботу процесорних завдань в цілому. Такі проблемні місця визначають за допомогою програм-профайлерів і відповідні їм завдання портують на апаратну FPGA-підсистему. Здатність такої програмно-апаратної оптимізації є величезною перевагою гібридних електронних систем типу вибраних нами Xilinx Zynq-7000 SoC, яка зробила їх надзвичайно популярними.

Тому, щоб зробити обґрунтований вибір типу і марки мікросхеми 7-го покоління для реалізації проекту потрібно:

- a) Розробити часоцифровий перетворювач з роздільною здатністю < 10 пс і максимально можливою швидкодією.
- b) Перенести мікроконтролерний код з попереднього проекту + код програмної частини TDC на мікропроцесорну частину і виконавши п.2, визначити завдання, для портування на апаратну FPGA-підсистему.
- c) Оцінити ресурсоемність проекту реалізованому на ПЛІС в цілому – ЧЦП + інші цифрові блоки спектрометра + ChipScope+ 20% запас.

3.4.4. Розробка FPGA-підсистеми швидкодіючого Часо-Цифрового перетворювача.

Для оцінки ресурсоемності частини проекту TDC реалізованому на ПЛІС був використаний чіп Xilinx Spartan-6, розміщений на одній з електронних плат комплексу. Проект можна виконати, використовуючи різні апаратні ресурси. Зокрема для реалізації лінії затримки з відвітвленнями (Tapped-Delay Line - TDL) можна використати буфери чи інвертори, створені за допомогою пошукових таблиць (Look-Up Tables - LUTs). Проте найкращого за швидкодією результату на сьогоднішній день досягнуто з застосуванням у якості елементів затримки мультиплексорів [23], які містяться у блоках логіки швидкого переносу, що використовується для побудови швидких суматорів і лічильників.

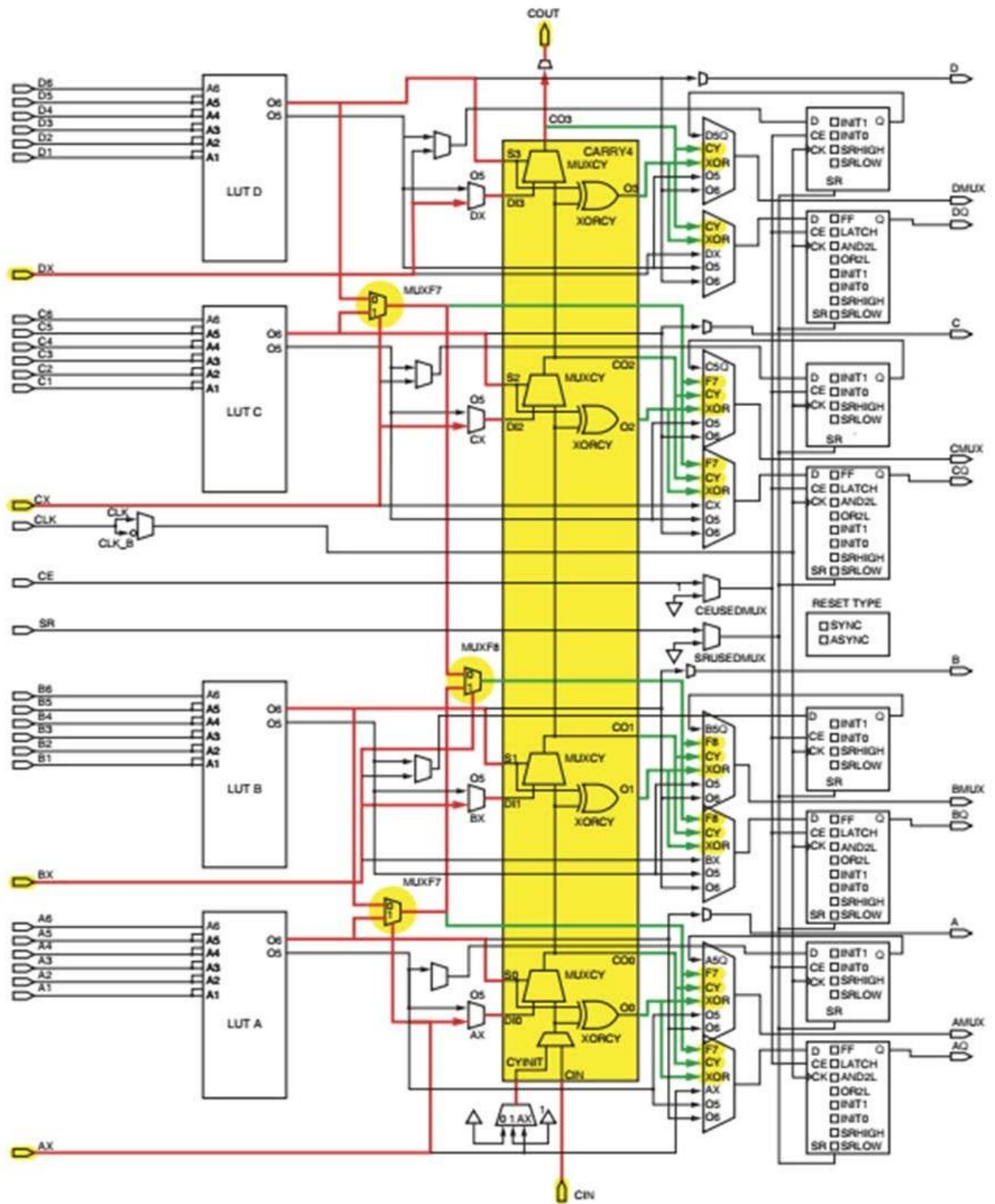


Figure 1: FPGA SLICEL

XAPP522_01_081012

Рис.26: Блок логіки швидкого переносу одного слайсу (жовтий колір).

Проте при виборі такого варіанту реалізації слід пам'ятати:

- 1) Блок логіки швидкого переносу одного слайсу містить 4 елементи затримки MUXCY [24].
- 2) Блоки логіки швидкого переносу присутні лише у слайсах SLICEM і SLICEL, яких у конфігураційних логічних блоках по 25% кожного типу. Інші 50% складають SLICEX, які не містять логіки швидкого переносу.

Проект виконувався в інтегральному середовищі Xilinx ISE v.14.7, яке володіє широким набором програмних інструментів для реалізації всіх етапів проекту.

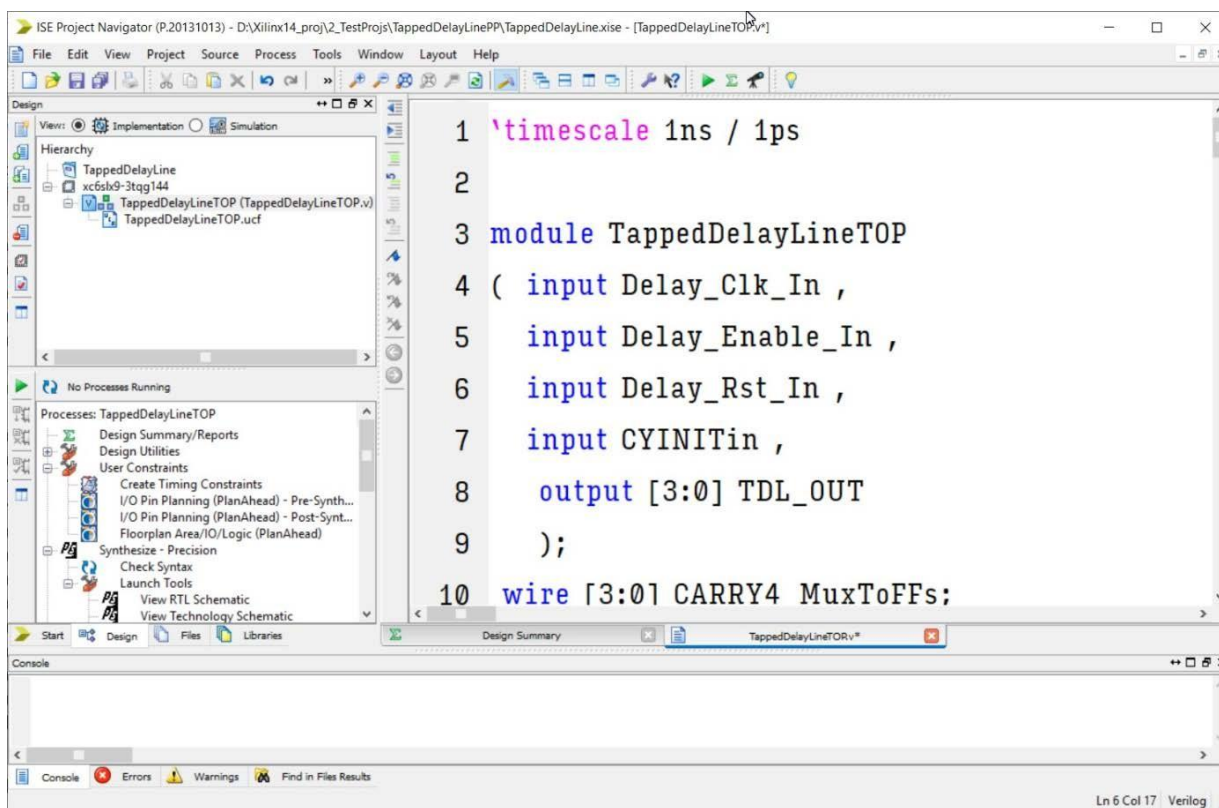


Рис.27: Інтегральне середовище Xilinx ISE v.14.7.

Проект реалізований на мові Verilog [25]. Мова близька за синтаксисом до C++, але на відміну від останньої оператори у ній виконуються паралельно і результатом синтезу проекту є електронна схема, а не набір машинних кодів [26].

На наступному рисунку показана апаратна реалізація вертикальної лінії затримки TDC на основі усереднювача багатоланцюгових вимірювачів. Бачимо, що сигнали AMUX-DMUX виводяться зі слайсу безпосередньо (не фіксуються тригерами).

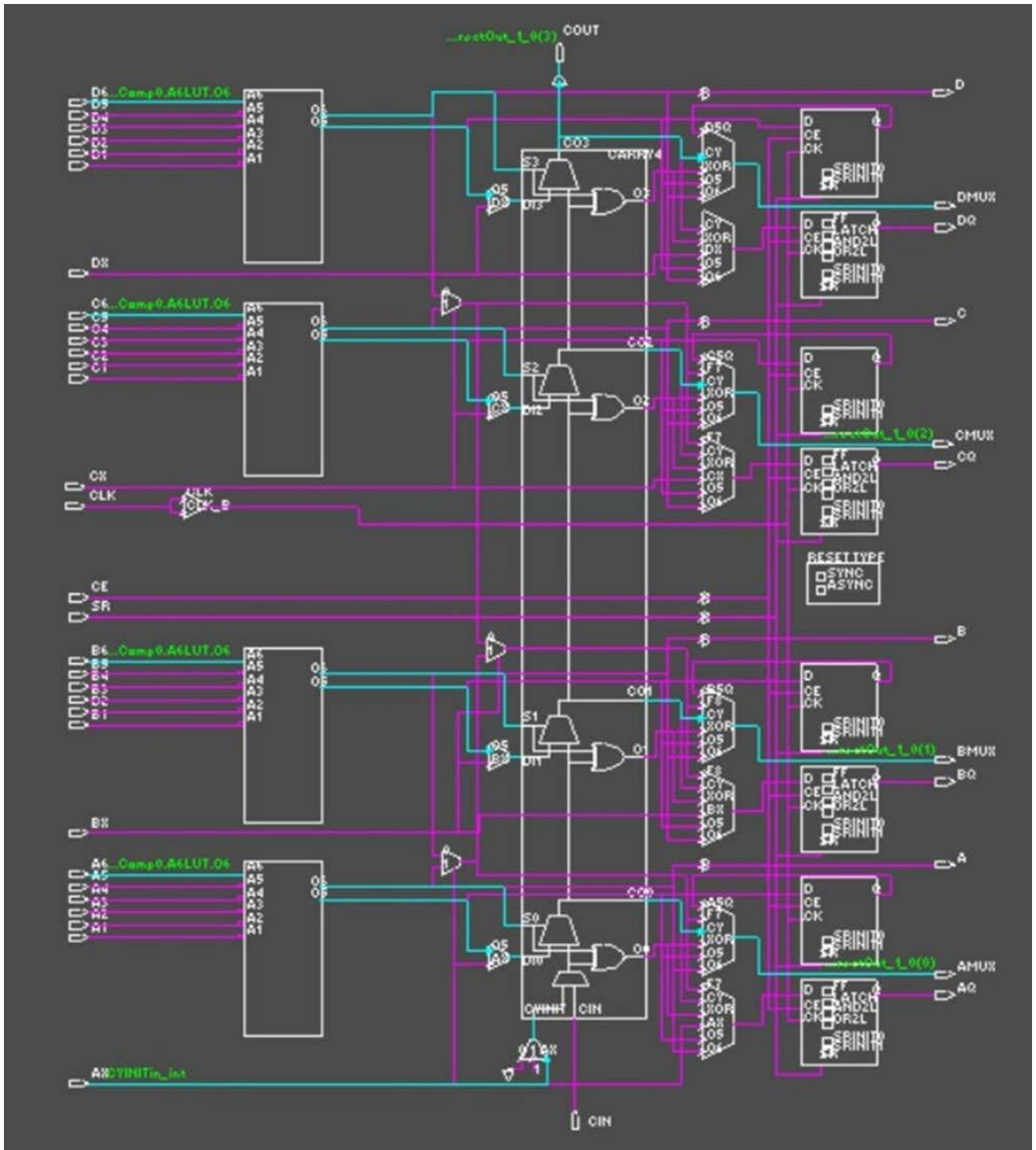


Рис.28: Апаратна реалізація вертикальної лінії затримки TDC на основі усереднювача багатоланцюгових вимірювачів. Показано лише один SLICE.

Наступний рисунок містить результати симуляції віртуальної схеми, розміщеної у віртуальному чіпі Xilinx Spartan-6. Видно, що затримки всередині слайсів і між слайсів не мають постійного значення.

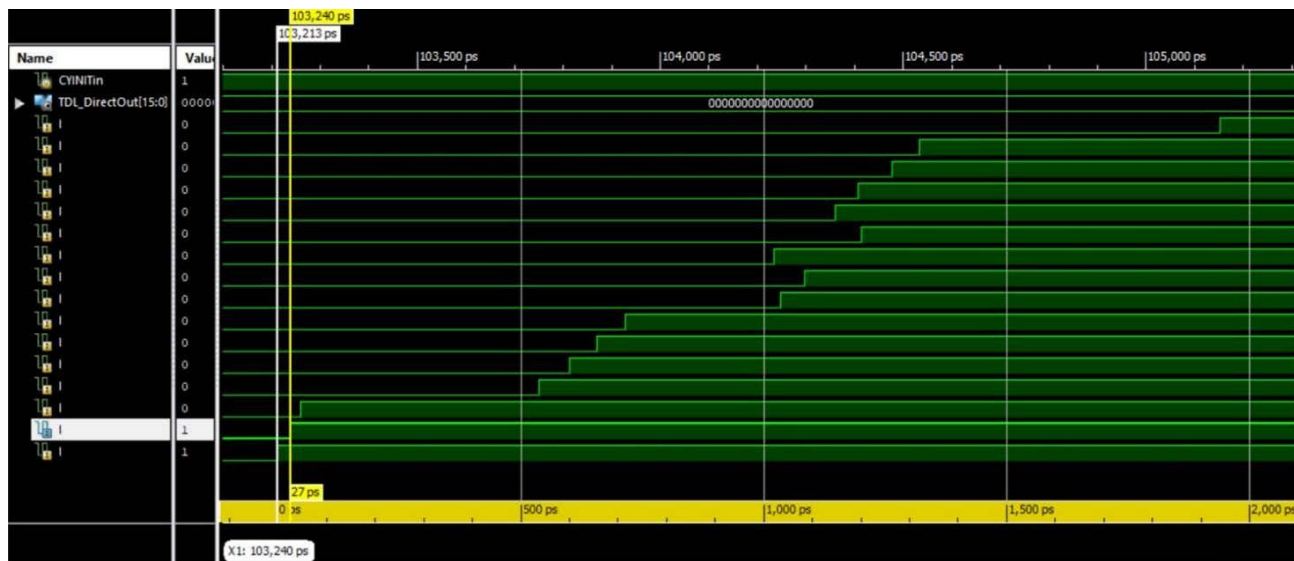


Рис.29: Симуляція функціонування вертикальної лінії затримок у програмі Modelsim.

Звичайно симуляція дає лише приблизну картину, проте з неї можна зробити певні висновки:

- 1) Горизонтальні *tapped-delay line* матимуть таку ж нелінійність термометричного коду.
- 2) Термометричний код перед конвертацією у бінарний повинен бути лінеаризований математично.
- 3) Математична лінеаризація повинна опиратись на масиви корекційних даних.
- 4) Для формування корекційних масивів повинні бути проведені глибокі калібровки системи, реалізованої на "остаточному" кристалі – розміщеному на електронній платі.
- 5) Для проведення калібровок потрібно розробити апаратні модулі, що реалізують методику зовнішніх калібровок і внутрішніх самокалібровок.
- 6) Модулі зовнішніх калібровок нормуються з застосуванням зовнішніх фізичних ліній затримки – прецизійно виготовлені кабелі різної довжини, тощо.

- 7) Модулі для проведення самокалібрувань реалізуються за допомогою апаратних ресурсів самого кристалу.
- 8) *Всі перераховані кроки повинні виконуватись для цієї системи на кристалі, яка безпосередньо буде використовуватись у вимірювальному комплексі.*

На наступному рисунку показана апаратна реалізація горизонтальної лінії затримки з відвітвленнями (tapped-delay line) TDC на основі усереднювача багатоланцюгових вимірювачів. Бачимо, що сигнали AMUX-DMUX виводяться зі слайсу не безпосередньо, а фіксуються тригерами. Дані з виходів тригерів потрапляють на загальну шину і формують так званий "термометричний" код.

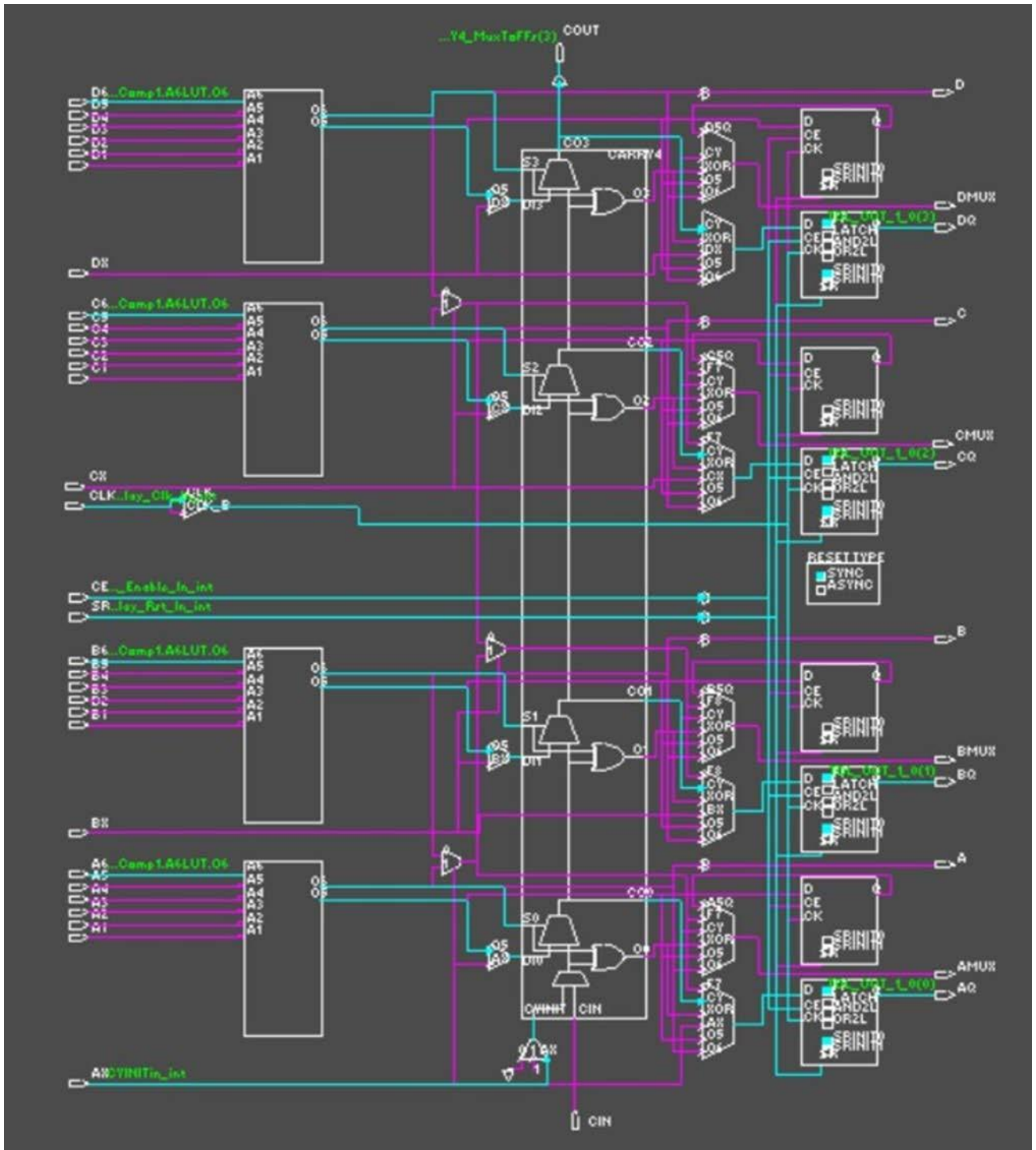


Рис.30: Апаратна реалізація горизонтальної лінії затримки з відвітвленнями (tapped-delay line) TDC на основі усереднювача багатоланцюгових вимірювачів. Сигнали AQ-DQ зафіксовані тригерами. Показано лише один SLICEL.

3.4.5. Архітектура та реалізація швидкісного багаторозрядного двійкового лічильника.

Оскільки даний лічильник є багаторозрядним (32 біти) вільно біжучим (Free running coarse counter), то він повинен задовольняти ряду вимог:

- 1) Максимальна швидкодія – для того, щоб він безпомилково рахував максимальний діапазон, самоскидався в «0» і продовжував лічбу.
- 2) Мав мінімальний інтерфейс, бо додаткові логічні функції – це сповільнення роботи.

Тому я зупинив вибір на синхронному двійковому лічильнику з паралельною логікою включення, 4-розрядна версія якого показана на наступному рисунку.

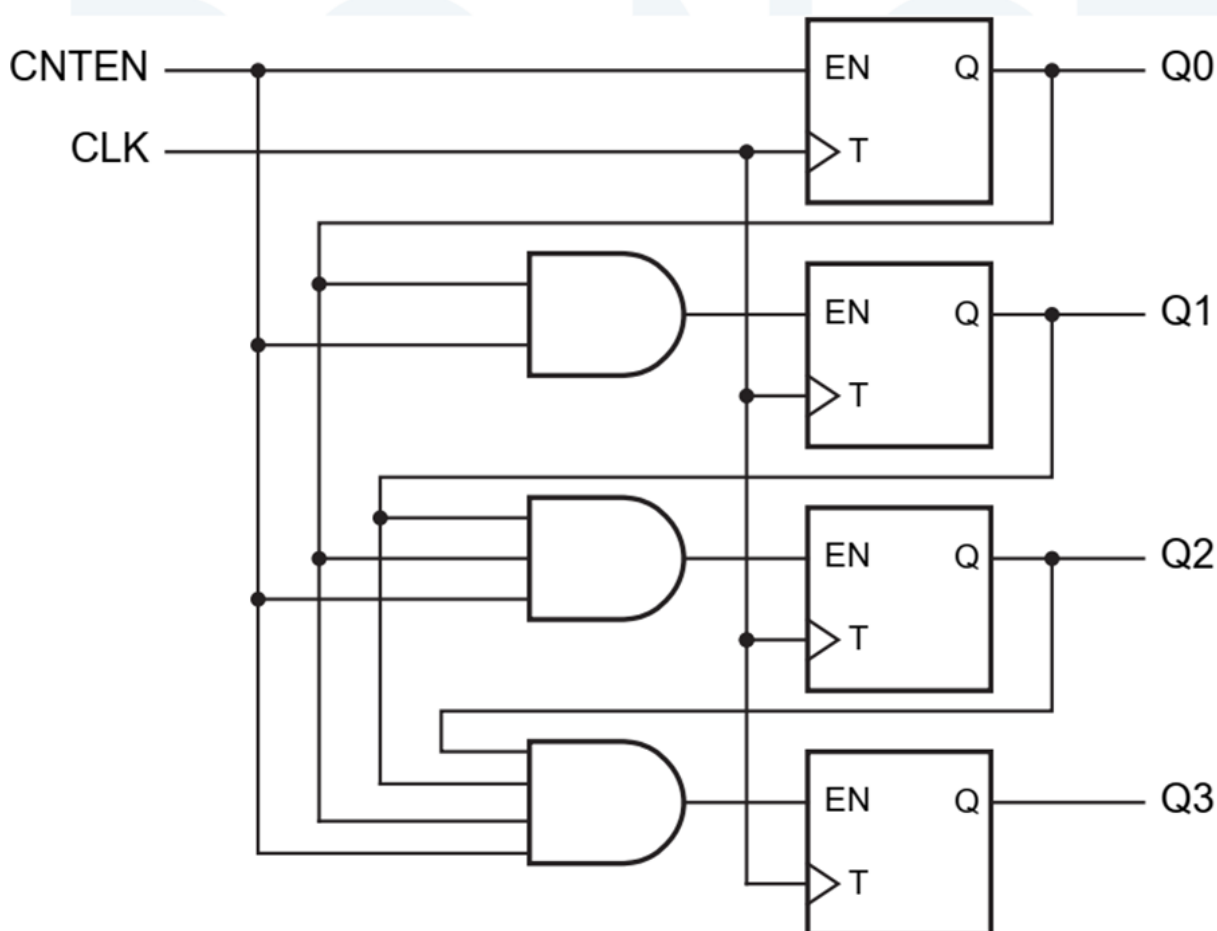


Рис.31: Синхронний 4-розрядний двійковий лічильник з паралельною логікою включення.

Для реалізації лічильника я скористався IP-Core, що надається інтегральним середовищем Xilinx ISE v.14.7.

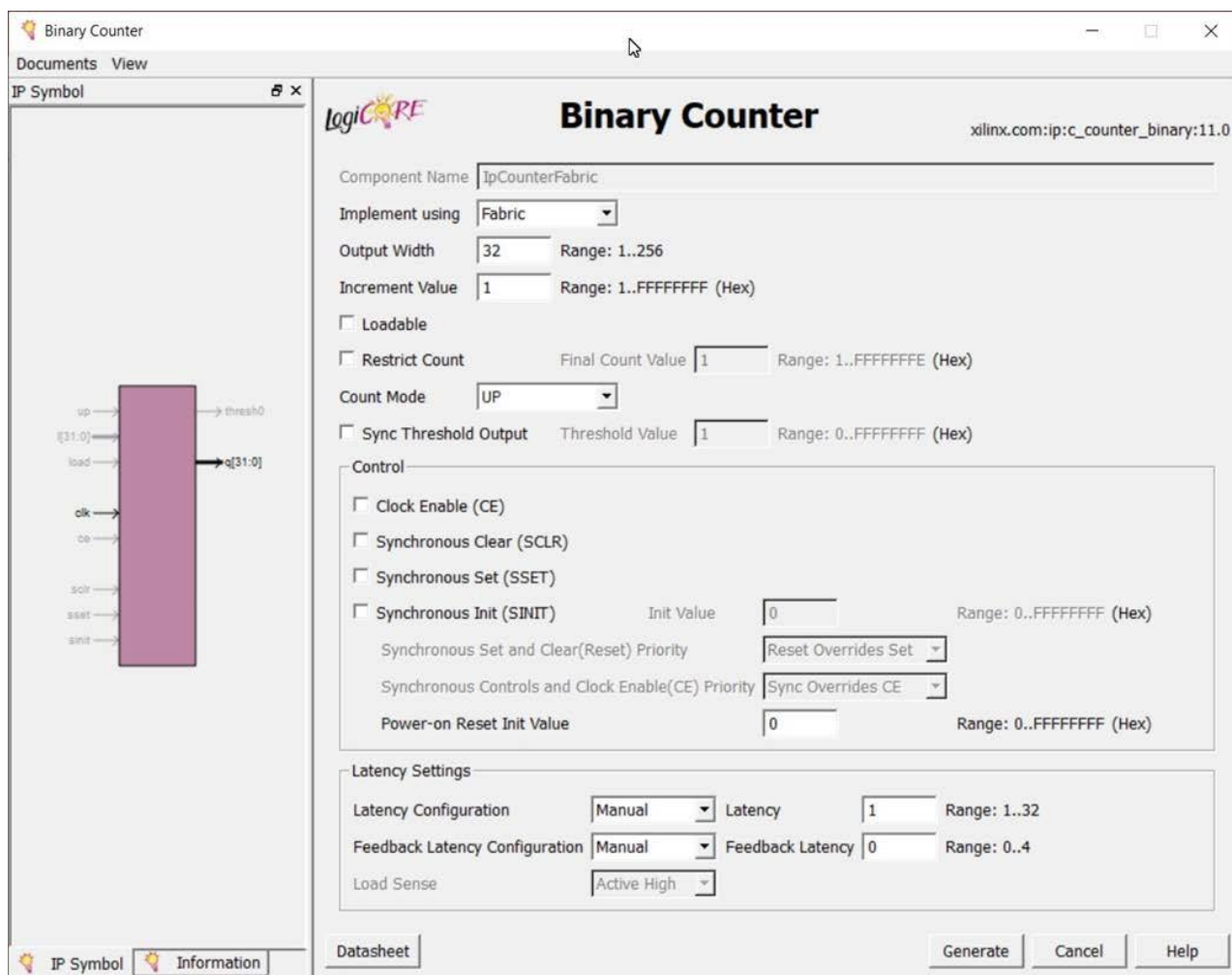


Рис.32: Реалізація лічильника з використанням IP-Core.

Графічний інтерфейс дозволяє легко налаштувати проект для потреб користувача, а програма-скрипт згенерує код на мові Verilog, який забезпечить обрану нами архітектуру лічильника. Наступні рисунок пока, що створений лічильник відпрацьовує всі 32 біти, рахуючи імпульси з частотою 500 МГц.

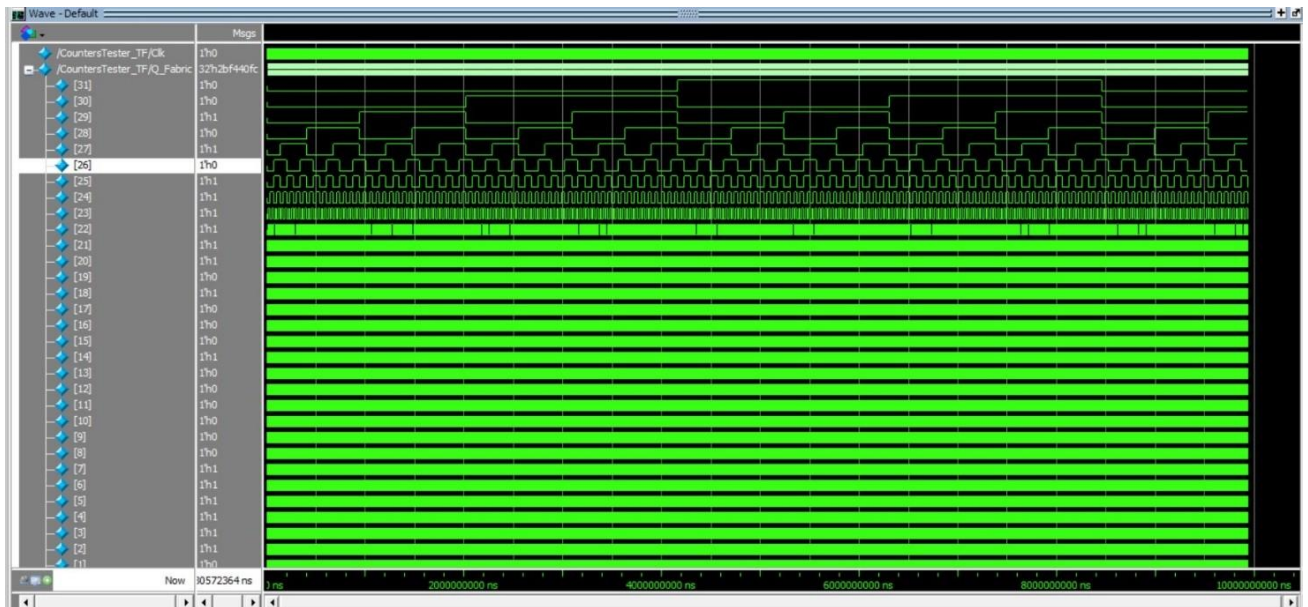


Рис.33: *Free running coarse counter - Симуляція роботи. Лічильник відпрацьовує всі 32 біти.*

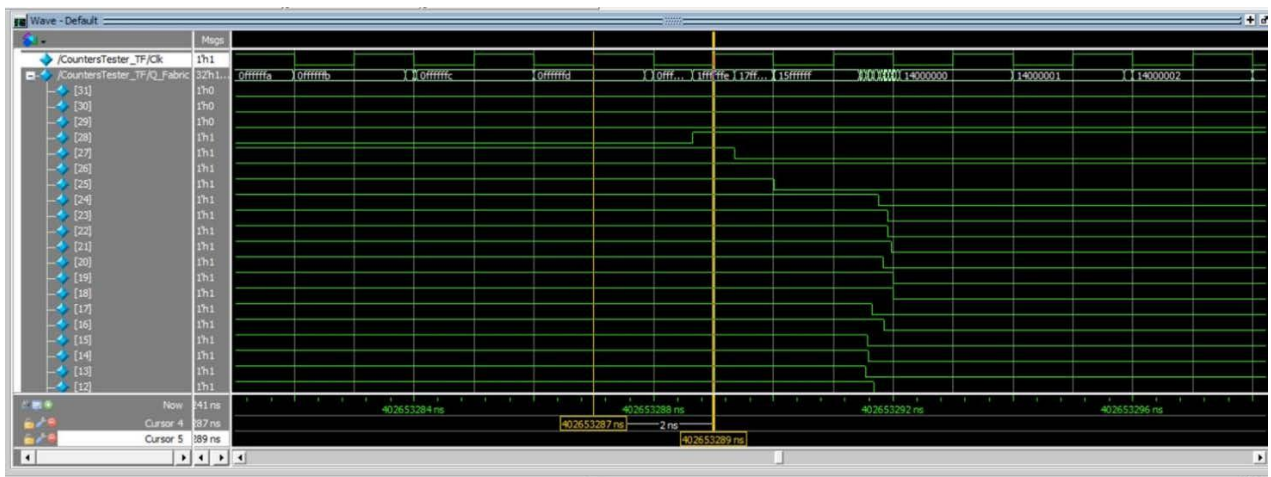


Рис.34: *Лічильник працює на частоті 500 МГц.*

4. Вибір апаратної платформи для реалізації цифрової частини електронної схеми DLTS спектрометра.

Раніше (3.4.3.) ми встановили, що оптимальною платформою для реалізації TDC і інших апаратно-програмних блоків DLTS спектрометра є All Programmable System on Chip (SoC) Xilinx Zynq-7000.

Щоб зробити обґрунтований вибір конкретної марки мікросхеми з даного сімействау даній роботі було виконано ряд кроків:

- a) *Розроблено FPGA-підсистему часо-цифрового перетворювача.*
- b) *Оцінено ресурсоемність проекту реалізованому на ПЛІС в цілому – ЧЦП + інші цифрові блоки спектрометра + ChipScope+ 20% запас.*

Щоб перенести мікроконтролерний код з попереднього проекту + код програмної частини TDC на мікропроцесорну частину і визначити завдання, для портування на апаратну FPGA-підсистему, потрібна реалізація проекту на кристалі (марку якого ми ще навіть не визначили). Тому у п. б) ми збільшимо запас до 30%.

З врахуванням одержаних результатів і особливостей методики розрахунку апаратних ресурсів, встановлено, що FPGA-підсистема повинна мати приблизно 90 000 Logic Cells (логічних комірок). Для вибору скористаємось Zynq-7000 SoC Family Product Selection Guide від "Xilinx, Inc."

Zynq®-7000 SoC Family

		Cost-Optimized Devices					Mid-Range Devices				
Device Name		Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100
Part Number		XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100
Processing System (PS)	Processor Core	Single-Core ARM® Cortex™-A9 MPCore™ Up to 766MHz			Dual-Core ARM Cortex-A9 MPCore Up to 866MHz			Dual-Core ARM Cortex-A9 MPCore Up to 1GHz ⁽¹⁾			
	Processor Extensions	NEON™ SIMD Engine and Single/Double Precision Floating Point Unit per processor									
	L1 Cache	32KB Instruction, 32KB Data per processor									
	L2 Cache	512KB									
	On-Chip Memory	256KB									
	External Memory Support ⁽²⁾	DDR3, DDR3L, DDR2, LPDDR2									
	External Static Memory Support ⁽²⁾	2x Quad-SPI, NAND, NOR									
	DMA Channels	8 (4 dedicated to PL)									
	Peripherals	2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO									
	Peripherals w/ built-in DMA ⁽²⁾	2x USB 2.0 (OTG), 2x Tri-mode Gigabit Ethernet, 2x SD/SDIO									
Security ⁽³⁾	RSA Authentication of First Stage Boot Loader, AES and SHA 256b Decryption and Authentication for Secure Boot										
Processing System to Programmable Logic Interface Ports (Primary Interfaces & Interrupts Only)		2x AXI 32b Master, 2x AXI 32b Slave, 4x AXI 64b/32b Memory, AXI 64b ACP, 16 Interrupts									
Programmable Logic (PL)	7 Series PL Equivalent	Artix®-7	Artix-7	Artix-7	Artix-7	Artix-7	Artix-7	Kintex®-7	Kintex-7	Kintex-7	Kintex-7
	Logic Cells	23K	55K	65K	28K	74K	85K	125K	275K	350K	444K
	Look-Up Tables (LUTs)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400
	Flip-Flops	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800
	Total Block RAM (# 36Kb Blocks)	1.8Mb (50)	2.5Mb (72)	3.8Mb (107)	2.1Mb (60)	3.3Mb (95)	4.9Mb (140)	9.3Mb (265)	17.6Mb (500)	19.2Mb (545)	26.5Mb (755)
	DSP Slices	66	120	170	80	160	220	400	900	900	2,020
	PCI Express®	—	Gen2 x4	—	—	Gen2 x4	—	Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8
	Analog Mixed Signal (AMS) / XADC ⁽²⁾	2x 12 bit, MSPS ADCs with up to 17 Differential Inputs									
	Security ⁽³⁾	AES & SHA 256b Decryption & Authentication for Secure Programmable Logic Config									
	Speed Grades	Commercial	-1			-1			-1		
	Extended	-2			-2,-3			-2,-3			-2
	Industrial	-1, -2			-1, -2, -1L			-1, -2, -2L			-1, -2, -2L

Рис.35: Zynq-7000 SoC Family Product Selection Guide від "Xilinx, Inc".

Користуючись головним критерієм (90 000 Logic Cells + 30% запас) і міркуваннями розумної достатності зупиняємо свій вибір на чіпі Device Name - Z-7030 і комерційним номером - Part Number - XC7Z030. Ціна такої мікросхеми залежно від швидкодії (Speed Grade), типу корпусу та інших параметрів коливається від 420\$ до 600\$. Наступна модель - Z-7035 коштує вже понад 1000\$. Тому вибір нам здається очевидним.

Перелік основних функціональних можливостей даної системи на кристалі приведено на рисунку.

5. Результати та висновки.

Протягом виконання дипломної роботи були виконані завдання:

- 1) На основі аналізу літературних джерел і власних досліджень запропоновано оптимальний варіант реалізації часо-цифрового перетворювача на основі ПЛІС з архітектурою FPGA.
- 2) Розроблено загальну структуру проекту з врахуванням специфіки застосування розробленого пристрою і ряду обмежуючих факторів, продиктованих наявними апаратними ресурсами та особливостями алгоритму вимірювань DLTS спектрометра.
- 3) Освоєно мову опису апаратури Verilog і програмне середовище для розробки проекту.
- 4) Вибрано оптимальну методику реалізації, розроблено і протестовано критичні по швидкодії електронні блоки на базі ПЛІС з архітектурою FPGA.
- 5) Вибрано оптимальну платформу для реалізації апаратної (ПЛІС з архітектурою FPGA) і програмної (мікроконтролер) складових TDC.
- 6) Зроблено обґрунтований вибір конкретної марки мікросхеми для реалізації часо-цифрового перетворювача і інших апаратно-програмних блоків DLTS спектрометра.

На основі виконаних завдань можна сформулювати висновки:

- 1) Результати тестувань свідчать, що розроблені критичні по швидкодії електронні блоки на базі ПЛІС з архітектурою FPGA можуть забезпечити точність вимірювань часових відрізків з точністю 10 пс і часовими затратами на одне вимірювання меншими 300 нс.
- 2) Розроблена структура проекту забезпечить заявлені вимоги до функціонування часо-цифрового перетворювача лише за умови реалізації проекту на вибраній апаратній платформі.
- 3) Оптимальною платформою для реалізації апаратної (ПЛІС з архітектурою FPGA) і програмної (мікроконтролер) складових часо-

цифрового перетворювача є сімейство All Programmable System on Chip (SoC) Xilinx Zynq-7000.

- 4) Вибрана марка мікросхеми- XC7Z030 з сімейства Xilinx Zynq-7000 зі Speed Grade-3 є оптимальною для реалізації часо-цифрового перетворювача та інших апаратно-програмних блоків DLTS спектрометра.*

6. Література:

- [1] Duo Sheng, Ching-Che Chung, Chih-Chung Huang and Jia-Wei Jian, “A High-Resolution and One-Cycle Conversion Time-to-Digital Converter Architecture for PET Image Applications” 35th Annual International Conference of the IEEE EMBS, Osaka, Japan, 3-7 July, pp. 2461-2464, 2013.
- [2] Key Jo Hong, Ealgoo Kim, lung Yeol Yeorn, Peter D. Olcott and Craig S. Levin, “FPGA-based Time-to-Digital Converter for Time-of-Flight PET Detector” IEEE Nuclear Science Symposium and Medical Imaging Conference Record (NSSIMIC), pp. 2463-2465, 2012.
- [3] D.V. Lang. “Deep-level transient spectroscopy: A new method to characterize traps in semiconductors.” J. Appl. Phys. Vol.45, No. 7, 1994, p. 3023-3032.
- [4] D.V. Lang. “Fast capacitance transient apparatus.” J. Appl. Phys. Vol.45, No. 7, 1994, p. 3014-3022.
- [5] О.В. Третьяк, В.Я. Опилат, Ю.В. Бойко, Д.Б. Грязнов, І.О. Деркач, В.Ю. Поварчук. “До питання про визначення поперечного перерізу захоплення носіїв заряду методом DLTS” // Сенсорна електроніка і мікросистемні технології. №1, 2010, с. 42-50.
- [6] Spartan-6 FPGA Family: [Електрон. ресурс]. — Режим доступу: <http://www.xilinx.com/products/silicon-devices/fpga/spartan-6/>
- [7] Зотов В.Ю. “Особенности архитектуры нового поколения ПЛИС FPGA фирмы Xilinx серии Spartan-6.” - КОМПОНЕНТЫ И ТЕХНОЛОГИИ, № 9 '2009, с. 62-70.
- [8] S. Dasgupta, N.K. Mondal, D. Samuel and B. Atyanarayana, “Design of FPGA – based TDC for the ICAL Detector of India-based Neutrino Observatory” International Conference on Electronics Computer Technology , pp. 157-160, 2012.
- [9] Wu Gao, Deyuan Gao, Christine Hu-Guo and Yann Hu (2011). Integrated High-Resolution Multi-Channel Time- to-Digital Converters (TDCs) for PET Imaging, Biomedical Engineering, Trends in Electronics, Communications and Software,

Mr Anthony Laskovski (Ed.), ISBN: 978-953-307-475-7, InTech, Available From:

<http://www.intechopen.com/books/biomedical%20engineering-trends-in-electronics-communications%20andsoftware/integrated-high-resolution-multi-channel-time-to-digital-converters-tdcs-for-pet-imaging>

- [10] Raguvaran Narasimman, Anil Prabhakar and Nitin Chandrachoodan, “Implementation of a 30ps Resolution Time to Digital Converter in FPGA” International Conference on Electronic Design, Computer Networks & Automated Verification (EDCAV), pp12-17, 2015.
- [11] A.H. Chan and G.W. Roberts, “A jitter characterization system using a component-invariant Vernier delay line.” IEEE Trans. Very Large Scale Integr.(VLSI)Syst., vol.12, no. 1, pp. 79–95, Jan. 2004.
- [12] https://www.xilinx.com/support/documentation/data_sheets/ds180_7Series_Overview.pdf
- [13] Qi Shen, Shubin Liu, Binxiang Qi, Qi An, Shengkai Liao, Peng Shang, Chengzhi Peng and Weiyue Liu, “A 1.7 ps Equivalent Bin Size and 4.2 ps RMS FPGA TDC Based on Multichain Measurements Averaging Method” IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 62, NO. 3, JUNE 2015, pp 6.
- [14] https://www.xilinx.com/support/documentation/data_sheets/ds190-Zynq-7000-Overview.pdf
- [15] https://en.wikipedia.org/wiki/ARM_Cortex-A9
- [16] J. Wu and Z. Shi, “The 10-ps wave union TDC: Improving FPGA TDC resolution beyond its cell delay,” in Proc. IEEE Nucl. Sci. Symp., Oct. 19–25, 2008, pp. 3440–3446.
- [17] J. Wu, “Uneven bin width digitization and a timing calibration method using cascaded PLL,” in Proc. 19th IEEE RT Conf., May 26–30, 2014, to be published.

- [18] L. Zhao, X. Hu, S. Liu, J. Wang, Q. Shen, H. Fan, and Q. An, “The design of a 16-channel 15 ps TDC implemented in a 65 nm FPGA” *IEEE Trans. Nucl. Sci.*, vol. 60, no. 5, pp. 3532–3536, Oct. 2013.
- [19] M.-C. Lin, G.-R. Tsai, C.-Y. Liu, and S.-S. Chu, “FPGA-Based high area efficient time-to-digital IP design” in Proc. IEEE TENCON’06 Conf., Nov. 14–17, 2006, pp. 1–4.
- [20] Q. Shen, L. Zhao, S.-B. Liu, S.-K. Liao, B.-X. Qi, X.-Y. Hu, C.-Z. Peng, and Q. An, “A fast improved fat tree encoder for wave union TDC in an FPGA” *Chinese Phys. C*, vol. 37, no. 10, p. 106102, Oct. 2013.
- [21] Зотов В.Ю. “Проектирование цифровых устройств на основе ПЛИС фирмы XILINX в САПР WebPACK ISE” - М.: Горячая линия-Телеком. 2003. ст. 498.
- [22] Клайв Максфилд “Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца” (Перевод с английского). ст. 115.
- [23] Тарасов И.Е. “Разработка цифровых устройств на основе ПЛИС XILINX с применением языка VHDL” – М.: Горячая линия – Телеком, - 2005. ст. 113-122.
- [24] Джон Ф. Уэйкерли. “Проектирование цифровых устройств, том 1” (Перевод с английского Е.В. Воронова, А.Л. Ларина). – М.: Постмаркет Москва 2002 г. ст. 489496.
- [25] Mano M. Morris “Digital design : with an introduction to the verilog hdl.(5th ed)” Pearson Education, Inc., 2013, p. 565.
- [26] Charles H. Roth, Lizy Kurian John, and Byeong Kil Lee. “Digital Systems Design Using Verilog” - Cengage Learning, 2014, p. 592.